

DMA Changer Version 0v2

Hintergrund / Generell

Nachdem Christian seinen Artikel „A new Atari STE bad DMA investigation“ veröffentlicht hatte (<http://www.chzsoft.de/site/hardware/new-atari-ste-bad-dma-investigation/>), entschloss ich mich kurzfristig eine Schaltung zu entwerfen, die dieses Problem mit Hilfe von einigen wenigen Bauteilen ebenso lösen können sollte.

Leider hatte die erste Version 0v1 nicht den gewünschten Erfolg. Den Grund dafür habe ich mittlerweile gefunden und behoben. Die vorliegende Platine mit der Version 0v2 funktioniert nun in meinen beiden 1040 STE mit insgesamt sieben getesteten C025913-38 DMA Bausteinen einwandfrei. Ebenso ist auch der Einsatz eines C100110-001 von IMP im 1040 STE möglich. Auch dies habe ich mit Hilfe von zwei solchen DMA Bausteinen getestet.

Dieses Dokument erklärt den technischen Sachverhalt und die Funktion der bisherigen und neuen Schaltung im Detail.

Das Zusammenspiel der beiden Signale /FCS und RDY

Die Signale /FCS¹ und RDY dienen der Kommunikation zwischen GSTMCU² und DMA IC. Das Signal „Ready“ (RDY) ist als Open-Kollektor Signal ausgeführt und kann dabei sowohl von der GSTMCU als auch vom DMA Baustein auf LOW Pegel gezogen werden. Es gibt zwei Zugriffe, die dabei unterschieden werden können.

Im ersten Fall liefert der DMA Baustein im Falle eines DMA Transfer Daten von der ACSI Schnittstelle³ selbsttätig direkt in den Arbeitsspeicher. In diesem Fall wird das Signal RDY quasi als „Quittierungssignal“ zur korrekten Übertragung der Daten in den Speicher benutzt. Das RDY Signal wird in diesem Fall von der GSTMCU gesteuert. Zur Unterscheidung der beiden Fälle hier der Hinweis, dass das Signal /FCS in diesem Betriebsmodus immer einen HIGH Pegel besitzt.

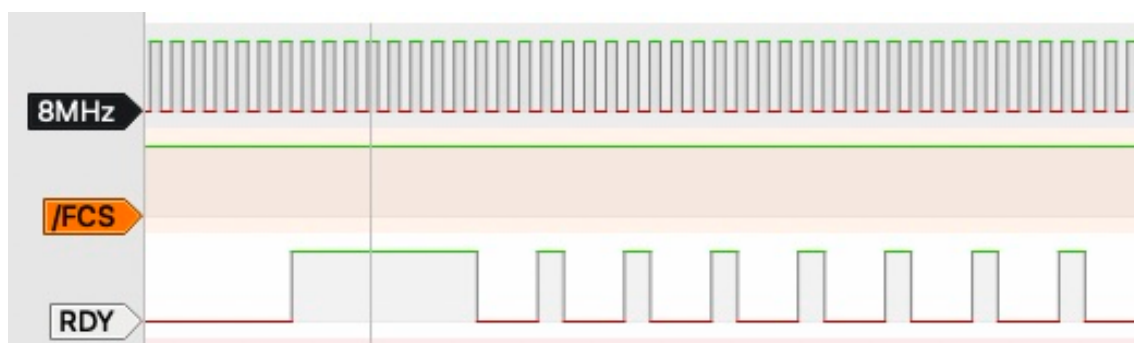


Bild 1: DMA Datentransfer - /FCS bleibt auf HIGH Pegel

Im zweiten Fall steuert der Prozessor zusammen mit der GSTMCU den Zugriff auf die beiden DMA Register an den Adressen xFF8604 und xFF8606. In diesem Fall wird das Signal RDY

¹ Für einen zeitlichen Ablauf werden Signale einen HIGH- oder LOW-Pegel für den relevanten Ablauf besitzen. Ist dieses Signal für den zu betrachtenden Zeitraum dabei auf LOW-Pegel wird dem Signal ein Negationsstrich vorangestellt. In diesem Fall „/FCS“. Dies meint, das Signal muss einen LOW-Pegel besitzen, wenn es als logisch aktiv angesehen wird.

² Im normalen ST ist es die GLUE. Im STE ist es die GSTMCU. Das hier beschriebene Problem tritt nur im Zusammenspiel mit der GSTMCU auf – nicht mit der GLUE. Das Timing in der GSTMCU unterscheidet sich von der GLUE an diesem Punkt deutlich.

³ Mit „Daten von der ACSI Schnittstelle“ sind auch „Daten von der Floppy“ gemeint. An dieser Stelle wird nicht unterschieden, woher die Daten nun tatsächlich kommen.

DMA Changer Version 0v2

wiederum als Quittierungssignal genutzt. Allerdings wird es nun als Antwort vom DMA Baustein auf die Registeranfragen des Prozessors und der GSTMCU genutzt. An dieser Stelle ebenso der Hinweis, dass bei diesem Betriebsmodus das /FCS Signal einen LOW Pegel besitzt.



Bild 2: DMA Register Zugriff – C025913-38 ohne Modifizierung des Signals RDY

Mit dem /FCS Signal sind somit diese beiden Fälle unterscheidbar.

Funktionsweise der alten Hardwareversion 0v1

Im Falle eines DMA Zugriffs darf und soll das RDY Signal nicht modifiziert werden. Im Falle eines Registerzugriffs muss das RDY Signal verkürzt werden. Vergleiche hierzu der Artikel von Christian Zietz.⁴ Der DMA Changer Version 0v1 (und Version 0v2) verkürzen das RDY Signal.

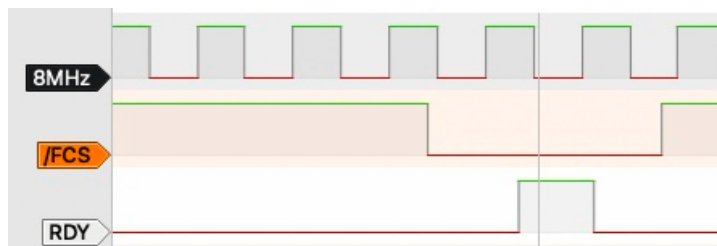


Bild 3: DMA Register Zugriff – C025913-38 mit Modifizierung des Signals RDY

Der folgende Schaltungsausschnitt sorgt für das Verkürzen des RDY Signals:

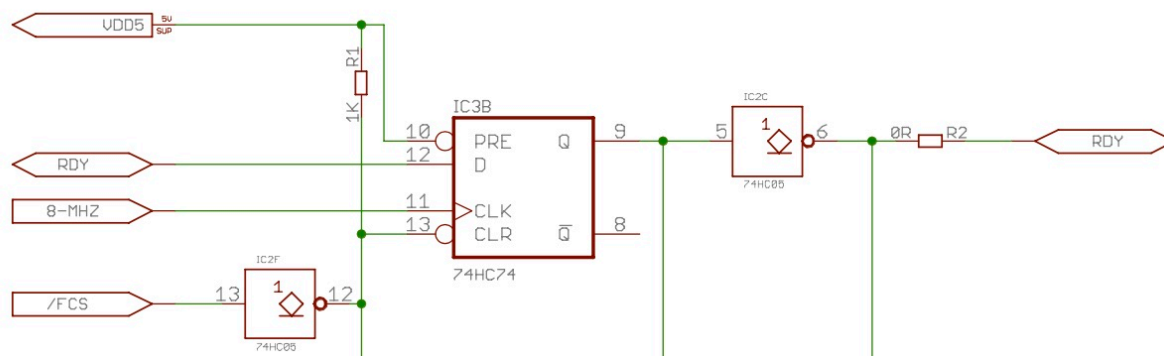


Bild 4: Schaltungsteil zur Verkürzung des RDY Signals für den C025913-38

Zur Erläuterung der obigen Schaltung: Mit Hilfe des eingesetzten Flip-Flops vom Typ 74HC74 wird der Ausgang Q des Flip-Flops gesetzt, wenn das Signal RDY (D-Eingang des Flip-Flops) bei einer positiven Flanke des 8 MHz Taktes anliegt. Über einen Inverter mit Open-Kollektorausgang, wird dieses Signal wiederum zurück auf den Eingang gegeben. Die Folge

⁴ <http://www.chzsoft.de/site/hardware/new-atari-ste-bad-dma-investigation/>

DMA Changer Version 0v2

ist, dass das Signal RDY auf LOW Pegel zurückgesetzt wird. Mit Hilfe des Signales /FCS am CLEAR Eingang des Flip-Flops wird eine Verkürzung des RDY Signals nur dann durchgeführt, wenn das Signal /FCS einen LOW Pegel besitzt. Hiermit wird sichergestellt, dass während eines DMA Datentransfer das RDY Signal, wie gefordert, nicht modifiziert wird.

Beim Zugriff auf die beiden DMA Register an der Adresse xFF8604 und xFF8606 gibt es einen Sonderfall, in dem sofort Daten – beim Zugriff auf das Register – übertragen werden. Bei der oben beschriebenen Selektierung der Fälle (Registerzugriff und DMA Zugriff) führt dies zu einer Unterbrechung des RDY Signals (kleiner roter Pfeil im folgenden Bild). Dies ist unerwünscht.

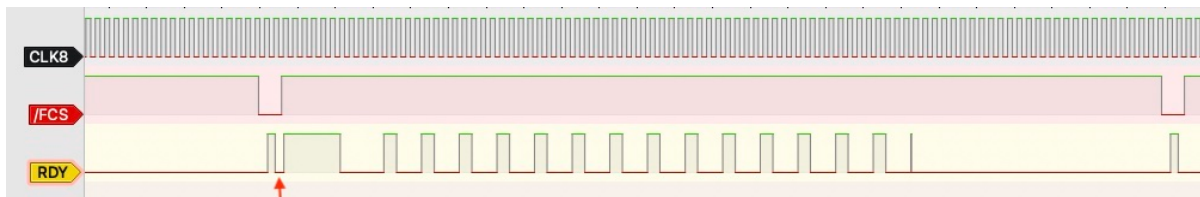


Bild 5: DMA Register Zugriff mit sofortiger Datenübertragung und Modifizierung des Signals RDY

Die Unterbrechung des RDY Signals führt zu einem „Verschlucken“ von Daten. Es werden nur 15 Pakete statt der üblichen 16 Pakete übertragen.⁵

Funktionsweise der Hardware Version 0v2

Messungen ergaben, dass der oben aufgeführte Sonderfall genau dann passiert, wenn auf die Datenregister im DMA Baustein zugegriffen wird. Um dies näher zu verstehen, folgendes Bild⁶:

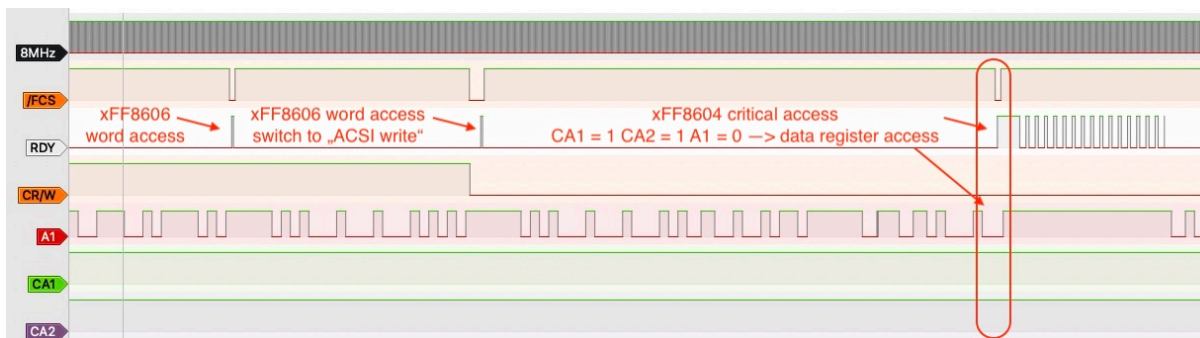


Bild 6: Zugriff auf die Register FF8606 und FF8604:

Links: Change the status of the DMAOUT bit

Mitte: Load the Sector Count Register

Rechts: Write the first Command Byte to the DMA Port

Die Kombination CA1 = 1 und CA2 = 1 zeigt an, dass Daten aus einem der DMA Register gelesen werden. Welches Register dies nun genau ist, kann von Außen nicht festgestellt werden, weil der Zustand von Bit 4 im Register xFF8606 abhängt. Der obige Fall zeigt einen Zugriff auf das Sector-Count-Register. Für die weitere Erklärung, soll dieser Fall dienen.

⁵ Wenn man die LOW-Phasen im Bild 5 nachzählt, kommt man auf 15 Phasen statt der üblichen 16 Phasen. Auf diesen Sachverhalt hat mich Holger @pakman hingewiesen. Vielen Dank für diesen Hinweis.

⁶ An dieser Stelle ein Dankeschön an Christian @czietz für die Erläuterung der Sequenz in Bild 6.

DMA Changer Version 0v2

Auf das Sector-Count-Register wird in der Regel schreibend, selten lesend, zugegriffen. Allerdings müssen beide Fälle, das Schreiben und das Lesen, gleich behandelt werden. Der Schreib- und Lesezugriff der oben beschrieben ist, tritt dann auf, wenn die Adressleitung A1 = LOW⁷ und die beiden Signale CA1 und CA2 beide HIGH Pegel⁸ besitzen.

Der in Bild 6 aufgezeigte Zugriff im folgenden Bild noch einmal im Detail:

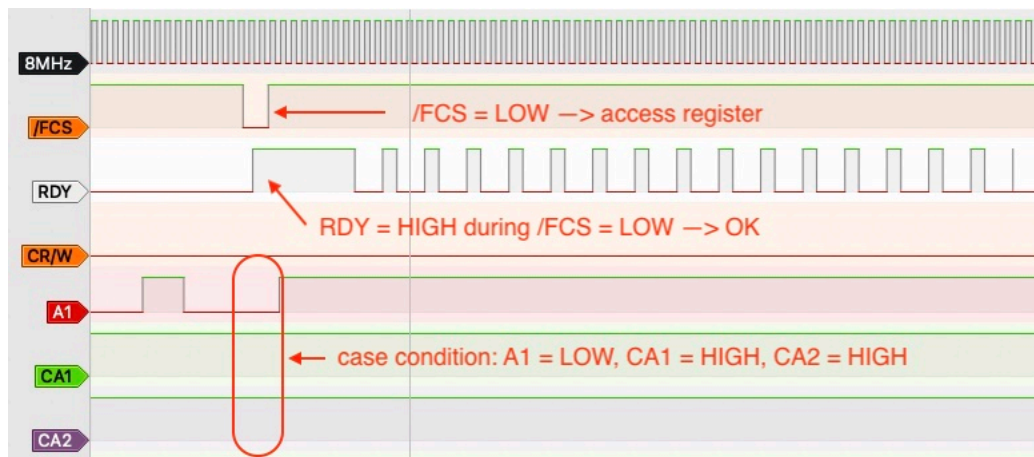


Bild 7: Detailbild für Datenübertragung vom Sector-Count-Register

Die folgende Teilschaltung wertet genau die Signale A1, CA1 und CA2 aus. Diese Auswertung wird additiv mit auf den CLEAR Eingang des Flip-Flops gegeben.

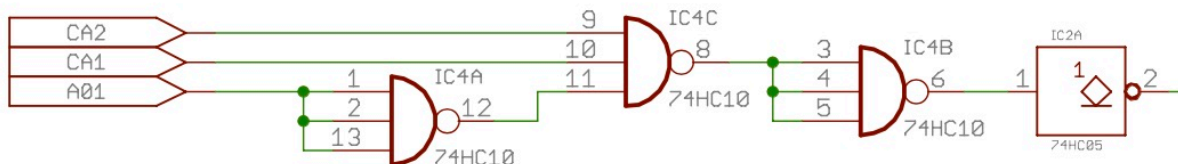


Bild 8: Schaltungsausschnitt zur Dekodierung von A1 = LOW, CA1 = CA2 = HIGH

Mit Hilfe dieser Zusatzauswertung funktioniert nun der Einsatz eines C025913-38 in einem 1040 STE ohne Probleme. Der C025913-38 verhält sich mit den beiden erläuterten Schaltungsteilen wie ein C398739-001A. Weitere Schaltungsteile sind nicht notwendig.

Ein weiterer Schaltungsteil der Version 0v2

Neben den beiden DMA Bausteinen C025913-38 und C398739-001A gibt es noch einen dritten DMA Baustein, der zwar im ST zum Einsatz kommen kann, aber nicht im 1040 STE eingesetzt worden ist. Der Grund liegt darin, dass das Verhalten auf der Prozessorseite sich von den beiden vorher genannten Bausteinen unterscheidet. Es handelt sich um den IMP Baustein C100110-001. Sein zeitliches Verhalten harmoniert nicht mit den Signalen, die von der GSTMCU ausgegeben werden.

⁷ A1 = LOW bedeutet ein Zugriff auf Register xFF8604.

⁸ CA1 = 1 sowie CA2 = 1 bedeutet Datentransfer aus oder in die DMA Register.

DMA Changer Version 0v2

Bei den vorherigen Untersuchungen habe ich mir das Zeitverhalten des IMP DMA Bausteins ebenfalls mit angesehen und habe eine Ergänzung der gesamten Logik gesehen, die auch den Betrieb des IMP DMA Baustein im 1040 STE möglich macht.

Folgendes zeitliche Verhalten ist anders, als bei den vorher genannten beiden Bausteinen:

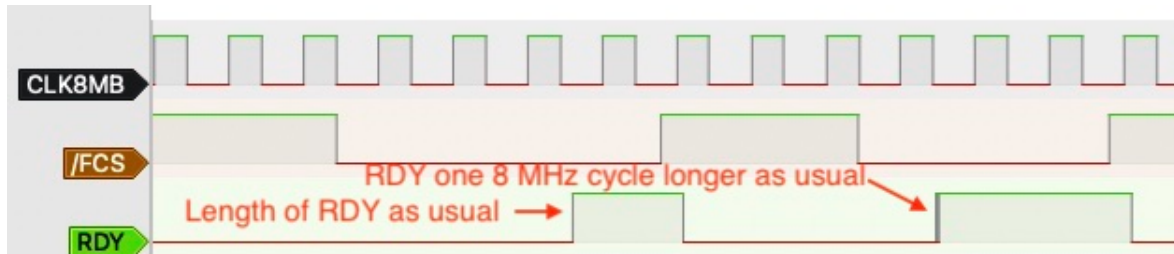


Bild 9: Das RDY Signal kann beim C100110-001 von IMP länger sein, als bei den anderen beiden DMA Bausteinen.

Auch für diesen Fall gibt es eine Lösung. Mit Hilfe der folgenden Ergänzung (hell hinterlegt), ist dies möglich:

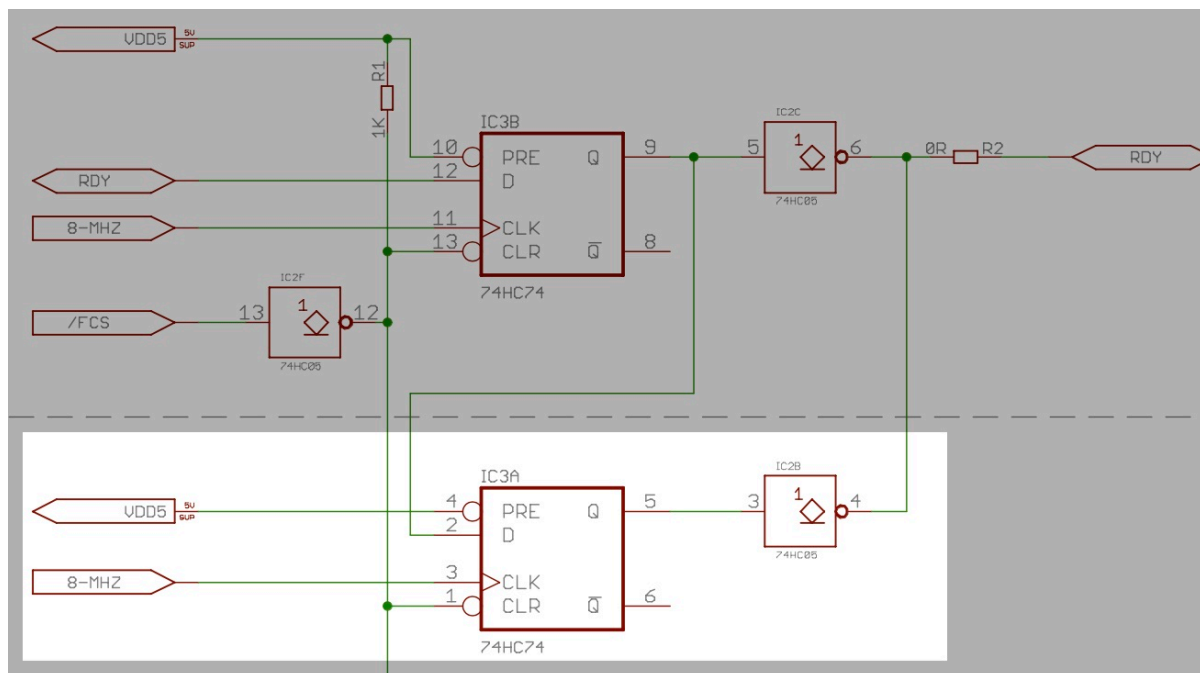


Bild 10: Erweiterung der Schaltung für den DMA Baustein C100110-001 von IMP

Zur Erläuterung des obigen Schaltungsteils: Das erste Flip-Flop (IC3B) wird im Falle eines Registerzugriffs vom Ausgang Q (Pin 9) gesetzt. Der Ausgang von IC3B wird nun dem Dateneingang von IC3A zur Verfügung gestellt. Somit wird für einen weiteren 8 MHz Takt das Signal RDY mit dem Ausgang (Pin 5) und dem nachgeschalteten Open-Kollektor-Inverter das RDY Signal verkürzt sofern das Signal /FCS weiterhin auf LOW Pegel ist.

Dieser Schaltungsteil wird nicht aktiv, wenn ein C025913-38 eingesetzt wird.

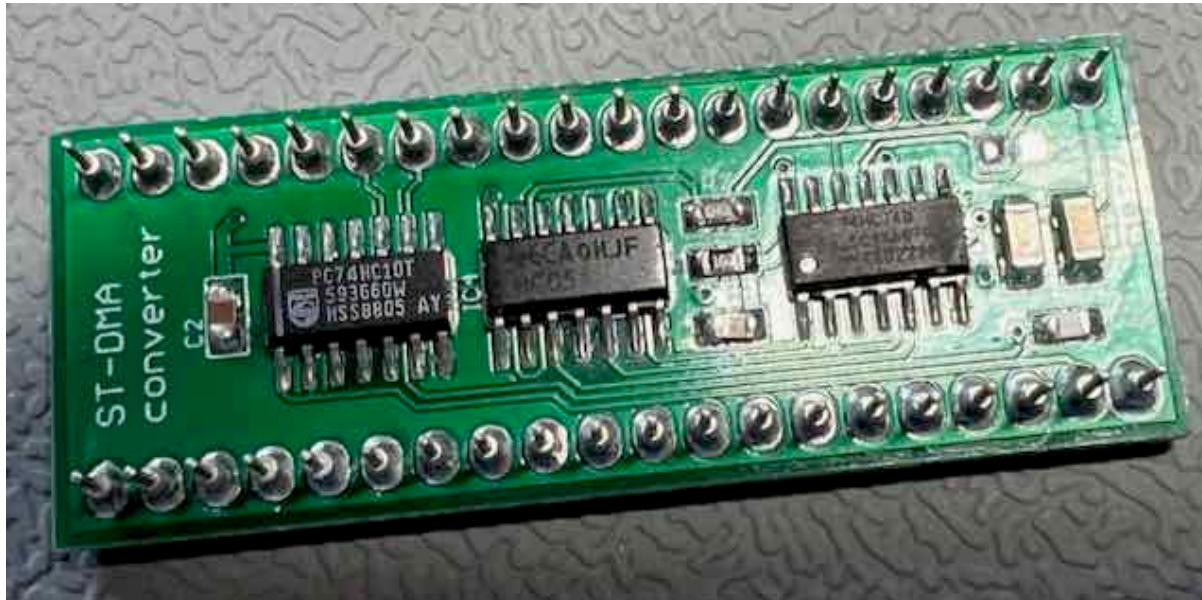
Aufbau der Schaltung

Der Aufbau der Schaltung ist denkbar einfach. Es empfiehlt sich zuerst die drei ICs auf der Leiterplattenunterseite zu bestücken. Danach die Kondensatoren und die beiden

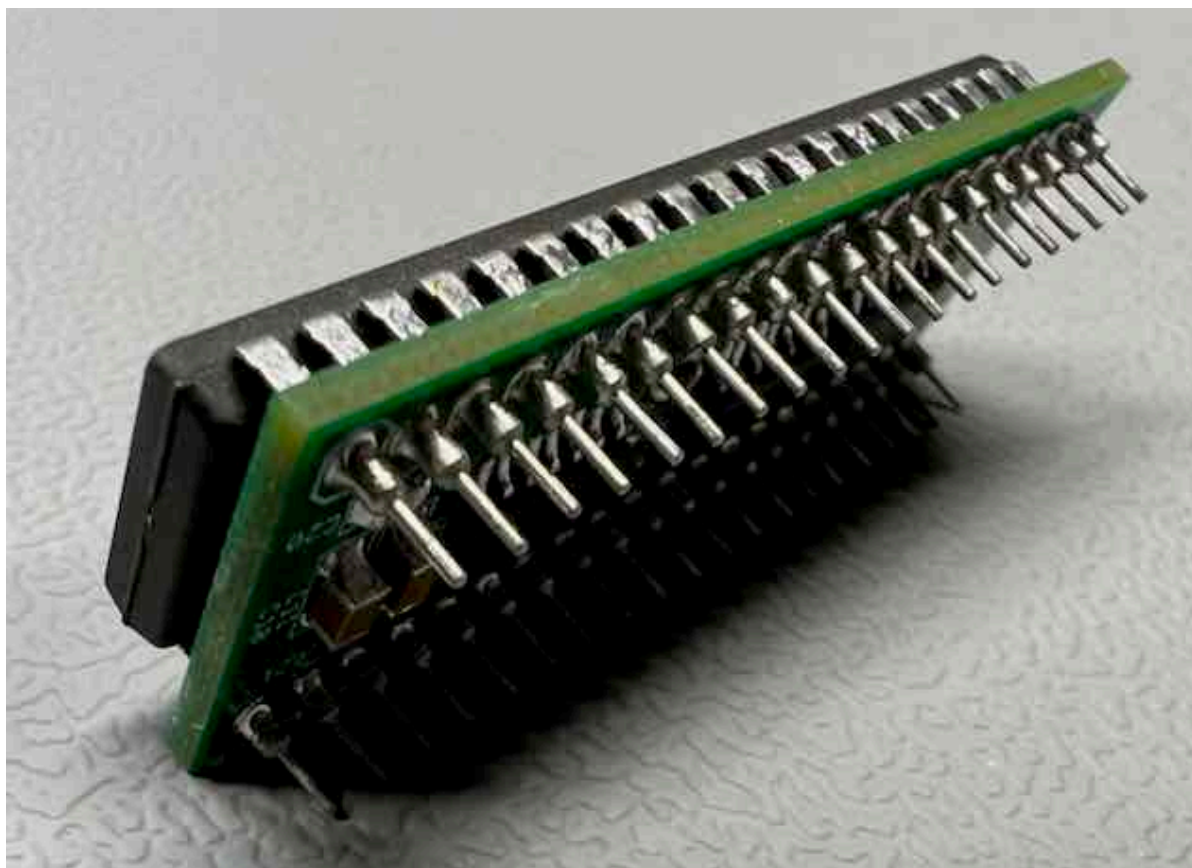
DMA Changer Version 0v2

Widerstände. Am Schluss werden die einzelnen Lötkelche von oben in die Leiterplatte eingeführt und auf der Unterseite angelötet. Siehe hierzu die folgenden Bilder.

Ergänzend sei erwähnt, dass ich meine Schaltung durchgängig mit HC-Typen bei den ICs bestückt habe. Es müssten ebenso auch F-Typen einsetzbar sein. Allerdings habe ich hier keine weiteren Tests durchgeführt.



DMA Changer Version 0v2



Bilder der bestückten Platine

Zusammenfassung

Die Schaltung des DMA Changers Version 0v2 funktioniert bei mir in meinen beiden 1040 STE ohne Probleme. Dabei ist egal, ob man einen C025913-38 oder einen C100110-001 einsetzt. Getestet habe ich dies mit meinen mir zur Verfügung stehenden DMA Bausteinen.⁹ Ob nun dies in allen Computern zum gewünschten Erfolg führt, muss noch gezeigt werden. Ich habe ansonsten alles soweit getestet, wie es mir möglich war.

Der komplette Schaltplan, Bestückungsliste und die notwendigen Gerberdaten befinden sich in den beiden beigefügten ZIP-Files. Wer möchte, kann sich die Schaltung bei einem Leiterplattenhersteller bestellen und selbst bestücken.

Ich hoffe das Beste.

Gruß Robert

⁹ Dies sind 7 Bausteine vom Typ C025913-38 und 2 Bausteine vom Typ C100110-001.