



Die Erfindung bezieht sich auf ein Verfahren zum Organisieren eines Speichers für die Verwendung in einem Computer-Displaysystem, das ein Display mit einer Vielzahl von Displaypixeln zur Definition von Bildern aufweist sowie auf eine Einrichtung zur Durchführung des Verfahrens.

Bei Computersystemen ist es üblich, Informationen durch digital erzeugte Bilder darzustellen und zu einem Anwender zu übertragen. Diese Bilder können verschiedene Formen annehmen, so z. B. alphanumerische Zeichen, Graphiken oder Bilddarstellungen von dreidimensionalen Objekten. In vielen Anwendungen werden die digitalen Bilder zu einem Anwender auf einem Displaygerät, beispielsweise einer Rasterabtaströhre (CRT), einem Drucker u. dgl. übertragen. Typischerweise werden die wiederzugebenden Bilder gespeichert oder in digitaler Form erzeugt, verarbeitet und dann wiedergegeben.

Bei Rasterabtaströhren-Displaysystemen wird eine Kathodenstrahlröhre (CRT) verwendet, die eine Vielzahl von Bildpunkten, als Pixel bekannt, hat, welche entlang Rasterabtaströhren in bekannter Weise angeordnet sind. Jedes Pixel ist einem Einzelbit-Digitalwert zur Darstellung des Vordergrund/Hintergrund (wie bei monochromen Displaysystemen) oder einem Mehrbit-Digitalwert zur Farbdarstellung (wie in einem Farbdarstellungssystem) zugeordnet. Speicher, die zur Speicherung von Darstellungen jedes Pixels unter Annäherung eines Bildes verwendet werden, sind als "abgebildete (mapped)" oder "Rahmenpuffer"-Speicher bekannt.

In gewöhnlich realisierter Ausführung ist der Rahmenpuffer ein Dual-Port-Speicher. Ein erster Port dient der Displayregenerierung und ein zweiter Port der Bildaktualisierung. Der Rahmenpufferspeicher ist in typischer Ausführung zeitverschachtelt zwischen den beiden Ports, und neuere bekannte Architekturen benutzen einen dynamischen Direktzugriffsspeicher (DRAM) zur Verwendung in Video-Systemen mit der Bezeichnung "Videospeicher-DRAM" als Rahmenpufferspeicher, der eine sehr große Anzahl von seriellen Schieberegistern aufweist, die in den Videospeicher-DRAM eingebaut sind. Bei der Displayregenerierung wird ein sich erhöhende bzw. inkrementierende Adresse dem DRAM-Eingang zugeführt, und die DRAM-Ausgangsdaten werden zunächst gepuffert und danach unter Verwendung von Hochgeschwindigkeitsschieberegistern serialisiert. Bei einer solchen bekannten Architektur unter Verwendung eines monochromen (schwarz-weiß-)Displaysystems werden die Rahmenpuffer-Ausgangsdaten typischerweise direkt über ein Kabel zur CRT übertragen. Bei der bekannten Architektur zur Verwendung eines Farbsystems werden die Rahmenpuffer-Ausgangsdaten typischerweise über eine Farb-Nachschlagetabelle und von dort zu drei Digital/Analog-Umsetzern übertragen, um einen Standard-Rot-Grün-Blau-Farbmonitor anzusteuern. Der der Bildaktualisierung dienende zweite Port des Videospeichers ist mit einer Zentraleinheit (CPU) oder einer ähnlichen Logikschaltung gekoppelt, die die im Rahmenpuffer gespeicherten Daten verarbeiten und ändern kann.

Traditionell ist der zweite Aktualisierungsport des Rahmenpuffers als X-Y-Direktzugriffsspeicher ausgebildet, wobei der Rahmenpuffer mit einer X-Koordinate und einer Y-Koordinate organisiert ist (eine Operation setzt eine X-Adresse, eine zweite Operation setzt eine Y-Adresse und eine dritte Operation liest oder schreibt

Datenräume aus 8-Bit-, 16-Bit-, 32-Bit- oder größeren Datenwerten). Bei solchen bekannten Systemen war die mit dem Rahmenpufferspeicher gekoppelte Verarbeitungslogik eine niedrig entwickelte (low level), jedoch relativ schnelle mikrocodierte lokale Zentraleinheit oder ein anderer ähnlicher Busmaster, und die Schnittstelle zur lokalen Haupt-CPU, welche auf den Rahmenpuffer arbeitet, war durch höher entwickelte (high-level) Befehle über eine relativ langsame serielle Verbindung oder einen Speicher-Direktzugriffskanal. Neuere Computer-Graphikarchitekturen, einschließlich derjenigen preiswerter Mikrocomputer, übertrugen die graphischen Recheninformationen (Computational overhead) von der seriellen Verbindung auf den Hauptprozessor (z. B. den Intel 80286 oder den Motorola MC68020) oder auf sehr große integrierte Chips (z. B. NEC 7220), jedoch waren solche Systeme auf Textverarbeitungen beschränkt. In jedem Falle ist das leistungsschwache Interface zwischen dem Aktualisierungsport des Rahmenpufferspeichers und der hochentwickelte Befehle liefernden Logik von der traditionellen Von-Neumann-Architektur: lineare Befehlsströme verwendende Speicheradressen entsprechen genau definierten Speicher- oder Datenzellen.

Computer adressierten traditionell ihre Speicher in 8-Bit-, 16-Bit-, 32-Bit- oder größeren 2^N -Schritten. Ein Speicherzyklus ist in der Lage, eine vorgegebene Anzahl von Bits zu übertragen, und selbstverständlich optimiert eine Datenübertragung unter Verwendung der maximal möglichen Datenbreite die Arbeitsweise. Daher ist eine 8-Bit-Maschine typischerweise einer 16-Bit-Maschine unterlegen usw. Der Einfachheit halber wird in der folgenden Beschreibung der Ausdruck "Byte" wenn irgendmöglich verwendet; der Leser sollte beachten, daß die beschriebenen Mechanismen breitere Datenwege bedienen können.

In monochromen Systemen besteht die vernünftigste Methode zur Leistungserhöhung darin, den Rahmenpufferspeicher so zu organisieren oder "abzubilden (map)", daß eine Byte-(8 Bit)Menge acht benachbarte Pixel modifiziert. Wie erwähnt, wird der gesamte Bildschirm auf diese Weise im Speicher "abgebildet" was gewöhnlich im Stande der Technik als "bit-mapping" (Bit-Abbildung) oder "bit mapped" Displays bezeichnet wird. Bitwerte von "1" und "0" wählen beliebig zwischen Vordergrund und Hintergrund (oder umgekehrt) in der zugegriffenen Bit-Abbildung. Viele neuere Personal-Mikrocomputer verwenden diese Technik, jedoch verwenden Maschinen, die traditionell unter die Kategorie von "Datenendgeräten" fallen, Zeichengeneratoren und fallen nicht in die Kategorie von "Bit-Abbildungs"-Displays.

Bei einem Speicherabbildungsfarbsystem hat jedoch jeder Punkt auf der Kathodenstrahlröhre (CRT) drei ihm zugeordnete Farben, und jede Farbe hat einen Bereich möglicher Intensitäten. Die zur Codierung der Farbintensitäten typischerweise verwendete Anzahl von Bits variiert von 4 über 8 bis 24 und mehr. Ein Rahmenpuffer speichert diese Werte, die als Indizes für einen Farb-Nachschlage-RAM dienen. Beispielsweise kann ein 8-Bit-Rahmenpuffer-Farbwert in einen 256×24 -RAM indizieren, und ein 24-Bit-Ausgangssignal dieses RAM kann aufgeteilt werden, um drei 8-Bit-rot-, grün-, blau-Digital/Analog-Umsetzer anzusteuern. In allen Systemen, welche den CRT-Schirm im Speicher abbilden und eine Farbwiedergabe ermöglichen, wird jeder Punkt auf dem CRT durch eine Mehrfach-Bit-Einheit im Rahmenpuffer dargestellt. Bekannte Systeme

haben organisierte Speicherfelder derart, daß eine Byte-Übertragung einen eine besondere Pixelfarbe darstellenden speziellen Wert zu einem speziellen X-, Y-Platz im Rahmenpufferfeld überträgt.

Solche Farb-Displaysysteme müssen häufig gleichzeitig Text oder andere 1-Bit-pro-Pixel-Informationen und komplizierte graphische Bilder wiedergeben, welche Farbwerte oder andere Multi-Bit-pro-Pixel-Informationen erfordern. Wenn jedoch 1-Bit-pro-Pixel-Informationen erforderlich sind, müssen bekannte Farbsysteme wegen ihrer begrenzten Adressierarchitektur einen ganzen Multi-Bit-Datenwert übertragen, um ein Informationsbit zu einem Pixel zu übermitteln.

Aus der DE 32 18 815 ist es bekannt, eine Displayvorrichtung so zu organisieren, daß bei der Wiedergabe von Symbolen bzw. Zeichen die Punktauflösung vergrößert wird, während bei der Wiedergabe eines Bildes die Farbauflösung erhöht wird. Zu diesem Zweck sind ein Bildspeicher und ein Steuerspeicher parallelgeschaltet. An jeder für die Bildung eines Punktsignals vorgesehenen Adresse speichert der Bildspeicher ein die Helligkeit eines Punktes angegebendes Byte. Der Steuerspeicher speichert gleichzeitig ein Byte mit zweimal drei aufeinanderfolgenden Farbbits für einen wiederzugebenden Vorder- bzw. Hintergrund. Bei Wiedergabe eines Farbsignals speichert der Bildspeicher ein Byte mit sich abwechselnden Rot- und Grün-Farbinformationsbits, und der Steuerspeicher speichert ein Byte mit vier Blau-Farbinformationsbits.

Die DE-PS 28 55 731 zeigt eine Möglichkeit zur Minimierung des Speicherbedarfs für ein Farbdisplayssystem. Der Bildspeicher besteht dabei aus einem ersten Speicher, in dem für jedes Pixel die Leuchtdichte gespeichert ist, und aus einem kleineren zweiten Speicher, in dem für einen Pixelbereich Farbinformationen gespeichert sind. Auf diese Weise werden farbige Darstellungen ermöglicht, ohne daß für jedes Pixel separate Farbinformationen gespeichert werden müssen.

Ferner ist aus der DE-OS 35 08 336 eine Hochgeschwindigkeits-Speicherzugriffsschaltung für ein Farbdisplayssystem bekannt. Dabei werden erste und zweite Daten vom Bildspeicher parallel in einer Form ausgelesen, die in ungeradzahlige Datenbereiche und geradzahlige Datenbereiche aufgeteilt ist. Die Schaltung weist vier Parallel-Serien-Wandler auf, wobei die den ungeradzahlichen Bereichen der ersten Daten entsprechenden Daten durch den ersten Parallel-Serien-Wandler geliefert werden. Danach werden den ungeradzahlichen Bereichen der zweiten Daten entsprechende Daten seriell von dem dritten Parallel-Serien-Wandler und die den geradzahlichen Bereichen der ersten Daten entsprechenden Datenbits seriell von dem zweiten Parallel-Serien-Wandler geliefert. Im Anschluß daran werden die den geradzahlichen Bereichen der zweiten Daten entsprechenden Datenbits seriell von einem vierten Parallel-Serien-Wandler geliefert. Auf diese Weise kann die Anzahl der von dem Bildspeicher ausgelesenen Datenbits erhöht werden und selbst unter Verwendung relativ langsamer Schieberegister ein Bild von 60 Hz zeilensequentiell dargestellt werden.

Aufgabe der Erfindung ist es, ein Verfahren bereitzustellen, sowie eine Einrichtung zur Durchführung des Verfahrens, um die Speicherorganisation eines Farbdisplaysystems derart zu verbessern, daß bei Verwirklichung aller Leistungsvorteile, insbesondere der hohen Geschwindigkeit eines monochromen Displays auch traditionelle Farbanwendungen (d. h. ein Multi-Bit-Wert beeinflusst ein Pixel) unterstützt werden können.

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren mit den Merkmalen des Anspruchs 1 bzw. eine Einrichtung mit den Merkmalen des Anspruchs 2 gelöst.

Ein Farbdisplayssystem unter Verwendung der erfindungsgemäß verbesserten Speicherorganisation kann gleichzeitig in einer monochromen Betriebsart und in einer traditionellen Farbbetriebsart arbeiten. Die Speicherorganisation mit dem Verfahren bzw. der Einrichtung der Erfindung kann so angesehen werden, als habe sie einen dritten Port zum Rahmenpuffer zur Komplettbildung des einzigen Aktualisierungsports, der normalerweise mit einem Rahmenpufferspeicher gekoppelt ist. Unter Ignorierung des Video-Regenerierungsports zu dem Rahmenpufferspeicher wurde die traditionelle Von-Neumann-Vorschrift, wonach ein Adreßsatz einen Datensatz auswählt, modifiziert, um zwei Sätze von Adressen zum Zugriff desselben Datensatzes zu veranlassen. Für die Zwecke der vorliegenden Beschreibung ist der Ausdruck "Abbildung" oder Organisation nicht auf eine Beziehung eines im Speicher gespeicherten Bit zu einem Pixel beschränkt, und es ist beabsichtigt, einen beliebigen Satz von Bits zur Darstellung eines Pixels oder eines anderen diskreten Elements einzubeziehen. Daher soll eine "Abbildung (map)" oder "Organisation" in der hier verwendeten Bedeutung eine Vielzahl von Bits oder Sätze von im Speicher gespeicherten Bits einschließen, welche einen Informationstyp zu einem Pixel oder einem anderen diskreten Element überträgt. Daher kann ein Speicher, der zwei Informationstypen für ein einziges Pixeldisplay speichert, zwei Organisationen enthalten. Wie erwähnt, stellt bei einem monochromen Display typischerweise ein im Speicher gespeicherter Multi-Bit-Wert Hintergrund (z. B. schwarz) oder Vordergrund (z. B. weiß) an einer entsprechenden Vielzahl von Pixeln auf einem Displayschirm dar. Jedes Bit dieses Wertes, das beispielsweise einen logischen Wert von 1 hat, bestimmt einen Vordergrund (weiß) an einem entsprechenden Pixel auf einer CRT, ein 16-Bit-Wort würde Hintergrund und Vordergrund bei 16 korrespondierenden Pixeln bestimmen. Daher können Textoperationen, die nur Hintergrund oder Vordergrund (eine logische 1 oder 0) erfordern, durch eine derartige Darstellung hinreichend bestimmt werden.

Wenn eine Farbwiedergabe auf einer CRT erwünscht ist, werden mehr Informationen als eine Logik von 1 oder 0 zur Darstellung einer Farbe an einem entsprechenden Pixel benötigt. In einem 8-Bit-pro-Pixel Farbsystem sind Farben zugeordnete Werte aus den Ganzzahlen 0 bis 255 und werden digital dargestellt und gespeichert im Speicherfeld. Bei einer Farbdarstellung auf dem Bildschirm wird die die Farbwerte speichernde Speicherorganisation komplizierter, da jedes Pixel auf dem Bildschirm wenigstens acht in ein Speicherfeld ($2^8 = 256$) abzubildende Informationsbits für jeden Pixelwert bedingt, um im Speicher Hintergrund/Vordergrund an einer entsprechenden Vielzahl von Pixeln (hier als Wortwerte bezeichnet) im Speicher digital abzubilden und ein die Farbe darstellendes Byte an einem einzigen entsprechenden Pixel (hier als "Pixelwerte" bezeichnet) in einem einzigen Speicherfeld digital abzubilden. Die Erfindung ermöglicht die Organisation dieser Farbinformation in demselben Speicherfeld, das zur Speicherung der Hintergrund- oder Vordergrundinformation verwendet wird, so daß Text- oder Schriftdisplays, die nur Hintergrund/Vordergrund-Informationen benötigen, gewünschtenfalls auch zusätzlich zur Farbwiedergabe verwendet werden können.

In Fig. ist zu Erläuterungszwecken eine Konzeptdar-

stellung eines Teils eines solchen dual abgebildeten oder organisierten Speicherfelds mit zwei getrennten Informationssätzen (d. h. Pixel-Farbinformationen und Hintergrund/Vordergrund-Informationen), gespeichert in 128 Speicherzellen, gezeigt. Der Ausdruck "Speicherzelle" bezieht sich auf ein digitales Speicherelement, das nur ein einziges Bit zu speichern vermag. Ferner verwendet die folgende Beschreibung unter Bezugnahme auf Fig. 1 die Begriffe X-Achse und Z-Achse zur Bezeichnung der Ausrichtung von Datenbits; es ist jedoch für den Fachmann klar, daß diese Begriffe nur illustrativen Zwecken dienen und die Erfindung nicht auf eine besondere Datenausrichtung innerhalb der Speicherzellen gemäß Fig. 1 beschränkt ist. Daher sind die X- und Z-Achsen der Fig. 1 nicht notwendigerweise orthogonal. Wortwerte werden in den Speicherzellen der Fig. 1 entlang der X-Achse in mehreren Zeilen derart gespeichert, daß unter Bezugnahme auf Fig. 1 die Zeile 1 sechzehn 0-Bits enthält, während die Zellenzeile 2 sechzehn 1-Bits gespeichert hat. Die in Zeile 1 gespeicherten Bits könnten zur Bestimmung der Hintergrund/Vordergrund-Informationen an 16 benachbarten Pixeln auf einem Bildschirm verwendet werden, während die in Zeile 2 gespeicherten Bits zur Bestimmung der Hintergrund/Vordergrund-Informationen an denselben 16 benachbarten Pixeln verwendet werden können. Daher enthalten die in Zeilen 1 bis 8 gespeicherten Bits acht Wortwerte, die individuell den Hintergrund oder Vordergrund an 16 benachbarten Pixeln auf einem Bildschirm bestimmen. Gespeichert entlang der Z-Achse derselben Speicherzellen in Fig. 1 sind 16 Spalten, 0—15, die eine Farbe an denselben 16 entsprechenden Pixeln auf dem Bildschirm bestimmen. In der Speicherzelle 1 der Zeile 1 enthält das erste Bit, das einen logischen Wert von 0 hat, der als Vordergrund an einem einzigen entsprechenden Pixel gelesen werden kann, auch das erste Bit eines Pixelbytes, das zur Bezeichnung einer speziellen wiederzugebenden Farbe an einem entsprechenden Pixel auf einem Bildschirm verwendet wird. Das in Speicherzelle 17 der Zeile 2 gespeicherte Bit mit einem logischen Wert von 1 enthält das zweite Bit eines 8-Bit-Pixelwerts. Demgemäß stellen die ersten linken Bits von Zeilen 1 bis 8 auch einen 8-Bit-Farb- oder Pixelwert dar, der zur Bezeichnung einer speziellen Farbe an einem entsprechenden Pixel des Bildschirms dient. Auf diese Weise können sowohl Hintergrund- oder Vordergrund-Werte, hier als "Wortwerte" bezeichnet (eine erste Organisation definierend) als auch Farbwerte, die hier als "Pixelwerte" bezeichnet werden, (definierend eine zweite Organisation) dual in denselben Speicherzellen abgebildet (mapped) werden.

Traditionell verwendeten bekannte Farbsysteme nur eine Z-Achsen-ausgerichtete Adressiertechnik, so daß bei Verwendung der Speicherorganisation gemäß Fig. 1 in einem solchen bekannten System 16 separate Lese- oder 16 separate Schreiboperationen erforderlich wären, um einen 16-Bit-X-ausgerichteten Wert, wie der in Zeile 1 gespeicherte Wortwert notwendig wären, um einfache schwarze oder weiße Texttypen wiederzugeben. Im folgenden wird auf Fig. 1 Bezug genommen. In einem bekannten System der vorgenannten Art würden beim Übertragen jedes Z-ausgerichteten Werts die Bits jedes aus dem Speicherfeld gelesenen oder in das Speicherfeld geschriebenen Worts ausgewählt und in einem benachbarten Element zusammengesetzt werden müssen, bis nach 16 Lese- oder 16 Schreiboperationen der in einer mit der X-Achse ausgerichteten Zeile gespeicherte 16-Bit-Wortwert schließlich mit Hilfe einer kompli-

zierten Mischoperation bestimmt werden könnte. Dieses bekannte Verfahren hätte ernsthafte Nachteile. Um einen 16-Bit-X-ausgerichteten Wortwert zu gewinnen, wären 128 Bits der Z-ausgerichteten Byte-Information über einen Bus zu übertragen. Da nur 16 Bits der übertragenen 128 Informationsbits den gewünschten 16-Bit-Wortwert enthalten, wäre ein solches bekanntes System wesentlich langsamer als sonst. Die Erfindung überwindet die dem Stande der Technik anhaftenden Schwierigkeiten durch Entwicklung eines dual abgebildeten oder organisierten Speicherfelds und durch Adressieren dieses Felds in einer Speicherzyklusoperation entlang einer Koordinate, hier bezeichnet als "Pixel-Modus", und in einer anderen Speicherzyklusoperation entlang einer anderen Koordinate, bezeichnet hier als "Wort-Modus". Wenn bei dem Beispiel gemäß Fig. 1 der Pixelwert in Spalte 1, der die Farbe an einem besonderen Pixel darstellt, gewünscht wäre, könnten in einer einzigen Schreib- oder Leseoperation alle 8 Bits des entlang der Z-Achse ausgerichteten Pixelwerts zugegriffen und übertragen werden. Wenn der Wortwert in der X-Achsen ausgerichteten Zeile 1 benötigt würde, so kann in ähnlicher Weise das Wort in einer einzigen Lese- oder Schreiboperation übertragen werden. Bei der Wiedergabe von Objekten auf einem Bildschirm können verschiedene Pixel nur Wort-Modus-Werte oder nur Pixel-Modus-Werte aus dem Speicher benötigen. Die Erfindung gestattet größere Flexibilität, höhere Geschwindigkeit und eine überlegene Effizienz bei der Übertragung von in einem Digitalspeicher gespeicherten Informationen und damit der Wiedergabe der Information auf einem Bildschirm oder einem anderen Ausgabeempfangsgerät.

Zu Erläuterungszwecken wurden unter Bezugnahme auf Fig. 1 die Pixelbytes der Spalten 0—15 definiert als gespeichert innerhalb einer Vielzahl von Z-Achsen-ausgerichteten Speicherzellen; da jedoch jedes Pixelbyte eine Farbe darstellt, organisiert innerhalb des Speichers derart, daß sie an einem speziellen Pixel auf einem Bildschirm abgebildet wird, bilden die im Speicher gespeicherten Pixelwerte eine Matrix, deren Tiefenabmessung wie üblich entlang der Z-Achse verläuft. Die Erfindung gestattet es, daß die Wort- oder X-ausgerichteten Werte als Matrix organisiert werden, die eine Vielzahl von Ebenen entsprechend Darstellung in Fig. 2 bilden, wobei jede Ebene die Oberfläche eines Bildschirms darstellt. Die Wortwerte jeder Ebene sind entsprechend Fig. 1 in Zeilen entlang einer X-Achse gespeichert, während sich die Pixelbytes in der Tiefe in die Wortebenen entlang einer Z-Achse entsprechend Darstellung in Fig. 3 erstrecken. Daher schafft die Erfindung eine dreidimensionale Speichermatrix, innerhalb der Datenübertragungen effizient stattfinden.

Erfindungsgemäß wird eine verbesserte Speicherorganisation angegeben, die Zugriff zu in X-achsen-ausgerichteten Zeilen von Speicherzellen gespeicherten Digitalwerten und in mit der Z-Achse ausgerichteten Spalten von Speicherzellen gespeicherten Digitalwerten derart ermöglicht, daß ein Speicher, der zwei die gleichen Speicherzellen verwendende Bit-Organisationen oder Abbildungen enthält, wobei die gespeicherten Digitalwerte als X-ausgerichtete Werte und als Z-ausgerichtete Werte abgebildet sind, in einer Speicherzugriffsoperation adressiert und daher zugegriffen werden kann. Demgemäß ist die Erfindung auf eine Einrichtung und ein Verfahren zur verbesserten Speicherorganisation für die Speicherung von wenigstens zwei Bit-Organisationen- oder Abbildungen darstellenden Daten

gerichtet, wobei die Bit-Organisationen- oder Abbildungen die auf einem CRT-Bildschirm zur Anzeige zu bringenden Bilder definieren. Die CRT weist eine Vielzahl von Pixeln auf, wobei selektive Adressierschemata die Informationen bestimmen, welche zu den Pixeln übertragen werden, so daß die Bilder dadurch auf der CRT definiert werden, und wobei jede der Speicherzellen einen logischen Wert enthält, der gleichzeitig ein auf eine Weise adressierbares Bit und ein auf eine andere Weise adressierbares Bit darstellt. Die verbesserte Speicherorganisation weist einen Rahmenpufferspeicher zur Speicherung der Bit-Organisationen- oder Abbildungen und ein erstes Mittel zum Organisieren der Daten derart auf, daß eine erste Bit-Organisation- oder Abbildung innerhalb des Rahmenpuffers definierbar ist. Die erste Bit-Organisation- oder Abbildung enthält eine erste Menge von Digitalwerten, welche in Speicherzellen innerhalb des Rahmenpuffers gespeichert und in Zeilen entlang einer X-Achse ausgerichtet sind. Die verbesserte Speicherorganisation enthält außerdem ein zweites Mittel zum Organisieren der Daten derart, daß eine zweite Bit-Organisation- oder Abbildung innerhalb des Rahmenpuffers dargestellt wird, wobei die zweite Bit-Organisation- oder Abbildung eine zweite Menge von Bytes enthält. Die zweite Menge von Bytes ist in Speicherzellen innerhalb des Rahmenpuffers gespeichert und in Spalten entlang einer Z-Achse ausgerichtet. Das erste Organisationsmittel und das zweite Organisationsmittel weisen gemeinsam eine Steuerlogik zum Lesen einer Vielzahl von Bits aus der ersten Bit-Organisation- oder Abbildung in einer Leseoperation und einer Vielzahl von Bits aus der zweiten Bit-Organisation- oder Abbildung in einer Leseoperation sowie zum Schreiben einer Vielzahl von Bits in die erste Bit-Organisation- oder Abbildung in einer Schreiboperation und einer Vielzahl von Bits in die zweite Bit-Organisation- oder Abbildung in einer Schreiboperation auf. Die Erfindung stellt Bit-Organisationen- oder Abbildungen (bit organisations or maps) zur Verfügung, gespeichert in einem Speicher, der eine dreidimensionale Matrix aus X-ausgerichteten Werten und Z-ausgerichteten Werten derart bildet, daß die X-ausgerichteten Werte in einer Vielzahl von Ebenen organisiert sind (jede Ebene einen CRT-Bildschirm darstellend) und wobei die Ebenen aufeinanderfolgend entlang der Z-Achse ausgerichtet sind. Abgebildet in dieselbe Rahmenpuffer-Speichermatrix gibt es auch eine Folge von Z-ausgerichteten Werten, die Werte sind, welche auf eine andere Weise adressiert werden. Daher kann eine Speicherzelle im Rahmenpuffer als Teil entweder eines X-ausgerichteten "Werts" oder eines Z-ausgerichteten "Werts" adressiert werden, so daß in einer Speicherzyklusoperation ein gesamter Z-ausgerichteter Wert übertragen und in einer anderen Speicherzyklusoperation ein gesamter X-ausgerichteter Wert übertragen werden kann.

Im folgenden wird die Erfindung anhand der Zeichnung näher erläutert. In der Zeichnung zeigen:

Fig. 1 eine Prinzipdarstellung von 128 Speicherzellen eines Speicherfeldes;

Fig. 2 die Beziehung von Wort-Modus-Adressen zu 8-Bit Byteplätzen in einem Rahmenpufferspeicher;

Fig. 3 die Beziehung von Pixel-Modus-Adressen zu 8-Bit Byteplätzen in einem Rahmenpuffer speicher;

Fig. 4 ein Funktionsblockdiagramm der erfindungsgemäßen Speicherorganisation, implementiert in einem graphischen Displaysystem;

Fig. 5 ein Funktionsblockdiagramm der Speicherorganisationsarchitektur; und

Fig. 6a, 6b und 6c Schaltbilder von Pixel-Modus und Wort-Modus Datenmultiplexern und eines Rahmenpuffer-Speicherfeldes.

Beschrieben wird eine verbesserte Computerspeicherorganisation, die besonders bevorzugt mit einem digitalen Computer zur Schaffung extrem schneller Datenübertragungen zur Bildwiedergabe auf einem CRT-Schirm anwendbar ist. In der folgenden Beschreibung werden zu Erläuterungszwecken zahlreiche Einzelheiten, wie besondere Speichergrößen, Datenwege usw. angegeben, um das Verständnis für die vorliegende Erfindung zu vertiefen. Es ist jedoch für den Fachmann klar, daß diese speziellen Einzelheiten für die Realisierung der vorliegenden Erfindung nicht notwendig sind. In anderen Fällen werden bekannte elektrische Strukturen und Schaltungen in Form von Blockschaltbildern gezeigt, um die Erfindung nicht mit unnötigen Einzelheiten zu belasten. Es ist für den Fachmann klar, daß die beschriebene erfindungsgemäße Speicherorganisation auch in anderen als graphischen Systemen mit ähnlichen Vorteilen verwendbar ist.

Fig. 1 stellt das Konzept eines einzigen zweidimensionalen acht mal sechzehn Blocks von Speicherzellen dar. In einem Standardspeicher gibt es viele Tausend derartiger Blöcke. Es wäre vorteilhaft, wenn die Blöcke als dreidimensionale Matrix organisiert werden könnten, deren Dimensionen physikalisch einem CRT-Farbbildschirm entsprechen. Die Erfindung gibt eine besondere Adressierungsmethode an, die einen zweidimensionalen Speicher in eine dreidimensionale Matrix organisiert, die im Speicher abgebildet ist, um einem CRT-Bildschirm genauer zu entsprechen.

Die Wort-Modus-Organisation (Adressierung) gemäß der Erfindung ist in Fig. 2 dargestellt, wobei 8 Wortebenen (A-H) gezeigt sind. Jede Wortebene stellt eine Abbildung eines CRT-Bildschirms dar und hat eine Tiefe von einem Bit. Da es 1024 Pixel auf einer einzigen typischen Abtastzeile und 1024 Abtastzeilen in einem typischen Farbdisplay gibt, sind etwa 1 Million Bits (oder 128K Bytes) für jede Wortebene im Rahmenpufferspeicher erforderlich. Demgemäß sind etwa 1 Million X-ausgerichtete Bytes auf den 8 Wortebenen A-H gespeichert. In dem hier beschriebenen Ausführungsbeispiel sind die Dimensionen jeder Wortebene 1024 Bits mal 1024 Bits. Daher bestimmt das erste Bit von Wortwert Nummer 0 aus Wortebene A in Fig. 2, ob oder ob nicht Pixel Nummer 0 im Farbmonitor eine Hintergrund- oder Vordergrundanzeige hat. Wie in Fig. 2 gezeigt ist, gibt es acht gestapelte Wortebenen, die mit A bis H bezeichnet sind. Da es mehrere Ebenen gibt (jede Ebene hat eine Tiefe von einem Bit), wird ein Mehrfachbit-Pixelwert auch in den entlang der Z-Achse ausgerichteten Bits gespeichert, wobei in dem beschriebenen Ausführungsbeispiel die Z-Achse eine Tiefe von 8 Bits hat. Daher wird durch ein Bit aus jedem der 8 vertikal ausgerichteten Wortbytes ein einziger 8-Bit Z-ausgerichteter Pixelwert gebildet. Es ist klar, daß andere Implementierungen der Erfindung zu mehr Bits pro Pixel-darstellungen im Rahmen des Erfindungsgedankens führen können.

Die Pixel-Modus-Organisation (Adressierung) ist in Fig. 3 dargestellt. Der in Fig. 3 gezeigte Block stellt prinzipiell dieselben 8 Wortebenen wie in Fig. 2 dar; da wir uns jedoch hier nur mit den Z-ausgerichteten Pixelbytes befassen, werden die Pixelbytes, die entlang der Z-Achse gespeichert sind, genau als einen festen Kasten bildende Matrix dargestellt, wobei die Pixelinformation in der Tiefe entlang der Z-Achse enthalten ist. Bei dem

beschriebenen Ausführungsbeispiel bestimmt jedes 8-Bit Byte, organisiert entlang der Z-Achse entsprechend der Darstellung in Fig. 3, eine besondere Farbe an einem korrespondierenden Pixel auf dem Farbmonitor 15. Daher bestimmt Pixelbyte 0 in Fig. 3 die an der Pixelnummer 0 im Farbmonitor 45 erscheinende Farbwiedergabe. Demgemäß sind die in den Fig. 2 und 3 gezeigten Organisationen Darstellungen der dual in denselben Speicherzellen gespeicherten Bit-Organisationen- oder Abbildungen, wobei die dreidimensionale Darstellung der Speicherzellen dem Displaymonitor 15 entspricht, derart, daß jede Oberfläche jeder der 8 Wortebenen des Bildschirm des Monitors 15 und die Z-Achse des Speicherfeldes den Farb- und Intensitätsänderungen für jedes Pixel auf dem Schirm des Farbmonitors 15 entspricht.

Die Erfindung schafft ein besonders Adressierschema derart, daß ein X-ausgerichtetes Byte, das in Wortebenen A—H der Fig. 2 gespeichert ist, gewünschtenfalls in einer Speicherzyklusoperation (d. h. Schreiben oder Lesen) übertragen werden kann, und in ähnlicher Weise ein Z-ausgerichtetes Byte bei Bedarf ebenfalls in einer Speicherzyklusoperation übertragen werden kann.

Daher sieht die Erfindung eine dreidimensionale Speichermatrix vor und schafft eine besonders wirksame Datenübertragung innerhalb dieser Matrix. Im folgenden wird die Architektur zur Schaffung einer solchen dreidimensionalen Speicherorganisation genauer beschrieben, wobei jedoch zu beachten ist, daß die vorhergehende Beschreibung nur ein mögliches Ausführungsbeispiel der Erfindung betrifft und andere Ausführungsbeispiele mit größeren Datenbusbreiten und größeren Speichern problemlos realisierbar sind. Außerdem ist verständlich, daß die X- und Z-Koordinaten, wie sie in den Fig. 2 und 3 veranschaulicht sind, nicht notwendigerweise orthogonale Koordinaten sind.

In Fig. 4 ist als Gesamtschaltbild ein Speicherorganisationssystem gezeigt. Daten werden über einen (VME-)Bus 45 zu einem Rahmenpufferbus 46 übertragen, der mit dem ersten Port 60 eines Dual-Port-Rahmenpufferspeichers 10 gekoppelt ist, um Datenübertragungen zwischen dem VME-Bus 45 und dem Rahmenpuffer 10 zu ermöglichen. Der zweite Port 47 des Rahmenpuffers 10 gibt Daten aus, die zuletzt ein gewünschtes Bild auf dem Farbmonitor 15 erzeugen. Der erste Port 60 des Rahmenpufferspeichers dient zur Datenübertragung entweder im Wort-Modus oder im Pixel-Modus. Ein VME-Bus-Zentralgerät (d. h. eine Zentraleinheit) kann über den VME-Bus 45 in den Rahmenpuffer 10 schreiben oder aus diesem lesen. Die am häufigsten verwendeten Bus-Hauptgeräte zum Zugriff auf den Rahmenpuffer 10 sind in der Reihenfolge der Zugriffshäufigkeit eine interne CPU (Zentraleinheit) 50, ein Graphikbeschleuniger 25, ein Netzwerksteuergerät 55 oder ein Plattensteuergerät 30 für Speicherplatten 31. Bei dem beschriebenen Ausführungsbeispiel ist der Hauptspeicher 20 mit der CPU 50 über einen internen Bus 57 verbunden und enthält Informationen, die von der CPU 50 verwendet werden. Bei dem beschriebenen Ausführungsbeispiel löst die CPU 50 Befehle aus, welche letztendlich im Rahmenpufferspeicher 10 gespeicherte Daten schreiben oder lesen, um ein gewünschtes Bild auf dem Monitor 15 hervorzurufen. Bei einer typischen Konfiguration nach der Erfindung besteht ein Arbeitsplatz aus einem Gehäuse mit einer VME-Ebene (Implementierung des VME-Bus 45), einem Verarbeitungssystem CPU 50, einem Hauptspeicher 20, einem Rahmenpufferspeicher 10 und einem Netzwerk-Steuer-

gerät 55. Es ist einleuchtend, daß der Graphikbeschleuniger 25 und eine lokale bzw. interne Plattenschnittstelle 30 und 31 mit dem System verwendet werden können; sie sind jedoch nicht notwendig, da andere Massenspeicher über den ETHERNET 40 vom Netzwerk-Steuergerät 55 angeschlossen werden können. Der Rahmenpuffer 10 ist ein Speichergerät aus dynamischen Direktzugriffsspeicherchips (DRAM).

In Fig. 5 ist ein genaueres funktionelles Blockschaltbild der Speicherorganisationsarchitektur nach der Erfindung gezeigt. VME-Bus 45 führt physikalische Adressen im Bereich von 0 bis 16 Megabytes. Ebenfalls über den VME-Bus 45 werden Daten übertragen, welche einen Pixel-Modus-Wert oder einen Wort-Modus-Wert darstellen. Der VME-Bus 45 überträgt in dem beschriebenen Ausführungsbeispiel 16 Datenbits und 24 Adreßbits in einer Operation. Die interne CPU 50 gibt die 24 Adreßbits und die 16 Datenbits aus. Adreßbits A22 und A23 (in Hexadezimalform) werden zusammen mit einem Adreßstrobe von der CPU 50 über den VME-Bus 45 zur VME-Steuerlogik 56 übertragen. Ein voreingestellter Wert an den Adreßbits A22 und A23 in Verbindung mit dem Adreßstrobe löst einen Zyklus-Beginnstrobe am Ausgang der VME-Steuerlogik 56 aus. Der Zyklus-Beginnstrobe wird zum Speichersteuergerät 105 übertragen, das danach eine Speicherzyklusoperation am Rahmenpuffer 10 auslöst. Der Zyklus-Beginnstrobe löst auch am Speichersteuergerät 105 einen Zeilenadreßstrobe (RAS) aus, der weiter unten beschrieben werden wird. Am Ende der Speicherzyklusoperation überträgt das Speichersteuergerät 105 einen Zyklus-Endestrobe zur VME-Steuerlogik 56. Die VME-Steuerlogik 56 löst danach einen Übertragungsbestätigungsstrobe aus, der über den VME-Bus 45 zur CPU 50 übertragen wird, um der CPU 50 mitzuteilen, daß ein Speicherzyklus beendet worden ist und daß ein neuer Speicherzyklus beginnen kann.

Das Speichersteuergerät 105 gibt auch einige Steuerstrokes an den Rahmenpuffer 10 und an Datenmultiplexer (oder Treiber) 90 und 85. Um die Wirkungsweise dieser Strobes an Datenmultiplexern 90 und 85 und am Rahmenpuffer 10 verständlich zu machen, wird jetzt auch auf die Fig. 6a, 6b und 6c zusätzlich zu Fig. 5 Bezug genommen.

In Fig. 6a, 6b und 6c sind detaillierte Darstellungen der Schaltung des Pixel-Modus-Datenmultiplexers 85, des Wort-Modus-Datenmultiplexers 90 und des Rahmenpuffers 10 gezeigt. In Fig. 6a ist der Rahmenpufferspeicher 10 gezeigt, der 128 64K DRAM-Chips aufweist, während Fig. 6b den Pixel-Modus-Datenmultiplexer 85 zeigt, der einen ersten Satz von 16 Sender/Empfängern (I—XVI) enthält, und Fig. 6c zeigt den Wort-Modus-Datenmultiplexer 90 mit einem zweiten Satz von 16 Sender/Empfängern (XVII—XXXII). Die Sender/Empfänger gemäß Fig. 6b und 6c können Octal-IC's, beispielsweise den allgemeinen 74ALS245 Texas Instruments IC enthalten. Diese Sender/Empfänger übertragen Daten aus dem Rahmenpufferspeicher 10 zum VME-Bus 45 oder vom VME-Bus 45 zum Rahmenpufferspeicher 10. Die Lese-/Schreib-(R/W)Steuerleitung 125 ist mit den Sender/Empfängern des Pixel-Modus-Datenmultiplexers 85 und den Sender/Empfängern des Wort-Modus-Datenmultiplexers 90 verbunden. Die R/W-Steuerleitung 125 erhält ein Lese- oder Schreibsteuersignal, das von der CPU 50 über den VME-Bus 45 ausgegeben wird und die Richtung der Datenübertragungen der Sender/Empfänger (XVII—XXXII) des Wort-Modus-Datenmultiplexers 90 und der Sender/Empfänger (I—XVI) des Pi-

xel-Modus-Datenmultiplexers 85 steuert. Die Sender/Empfänger des Pixel-Modus-Datenmultiplexers 85 werden aktiviert, wenn ein Adreßbit A20 einen hohen logischen Wert hat, und die Sender/Empfänger des Wort-Modus-Datenmultiplexers 90 werden aktiviert, wenn das Adreßbit A20 einen niedrigen Logikwert hat.

Bei dem beschriebenen Ausführungsbeispiel ist der Rahmenpuffer 10 entsprechend der Darstellung in Fig. 6a aufgebaut und hat 128 64K DRAM-Chips, die so angeordnet sind, daß 8 Zeilen (jede Zeile mit 16 DRAM-Chips, z. B. DRAM-Zeile 1 und DRAM-Zeile 8 in Fig. 6a) und 16 Spalten (jede Spalte mit 8 DRAM-Chips, z. B. DRAM-Spalten 0 und 15 in Fig. 6a) gebildet werden. Bei dem beschriebenen Ausführungsbeispiel hat der Puffer 10 eine Speicherkapazität von angenähert einem Megabyte; es ist jedoch klar, daß Speicher mit größeren oder kleineren Speicherkapazitäten ebenfalls Verwendung finden können und daß die Erfindung entsprechend erweitert werden kann.

Selektives Lesen und Schreiben von speziellen DRAM-Chipspalten und DRAM-Chipzeilen des Rahmenpuffers 10, welche die Speicherorganisationen der Fig. 2 und 3 bilden und in einer Speicherzyklusoperation die Übertragung eines X-ausgerichteten Wortwerts oder eines Z-ausgerichteten Pixel(Farb)-Werts ermöglichen, wird durchgeführt durch die selektive Ausgabe von: 16 Spalten-Adreß-Strobes (CAS), 8 Schreib-Aktivierungs-Strobes (WE) an den Rahmenpufferspeicher 10, 8 Wahl-DRAM-Spalten-Aktivierungssignalen (SDC) an den Pixel-Modus-Datenmultiplexer 85, 8 Wahl-DRAM-Zeilen-Aktivierungssignalen (SDR) an den Wort-Modus-Datenmultiplexer 90, die alle vom Speichersteuergerät 105 ausgegeben werden, und die physikalischen Adressen, jeweils übertragen durch Wort-Modus-Adreßmultiplexer 80 und Pixel-Modus-Adreßmultiplexer 75. Die SDC-Signale dienen der selektiven Aktivierung der Pixel-Modus-Sender/Empfänger I-XVI des Pixel-Modus-Datenmultiplexers 85, während die SDR-Signale der selektiven Aktivierung der Wort-Modus-Sender/Empfänger XVII-XXXII des Wort-Modus-Multiplexers 90 dienen. Der Zweck des RAS und des CAS ist bekannt, so daß keine weitere Erörterung hierzu notwendig ist. Voreingestellte Werte von Adreßbits A1, A2, A3 und zwei Datenstrobes (ein oberer Datenstrobe und ein unterer Datenstrobe) aktivieren selektiv die Ausgabe bzw. Übertragung der gewünschten CAS-Signale am Speichersteuergerät 105, während voreingestellte Werte von Adreßbits A17, A18 bzw. A19 das Speichersteuergerät 105 selektiv zur Ausgabe der gewünschten WE-Signale aktivieren. Voreingestellte Werte von Adreßbits A1, A2 und A3 aktivieren ebenfalls selektiv die Ausgabe bzw. Übertragung eines oder aller 8 der SDC-Signale, während Adreßbits A17, A18 bzw. A19 die Ausgabe bzw. Übertragung eines oder aller der SDR-Signale aktivieren. Alle 128 DRAM-Chips des Rahmenpuffers 10 erhalten einen Zeilenadreßstrobe (RAS), ausgegeben von dem Speichersteuergerät 105 sowohl bei einer Leseals auch bei einer Schreiboperation. Die RAS-Signale werden ausgegeben, wenn das Speichersteuergerät den Zyklus-Beginn-Strobe von der VME-Steuerlogik 56 erhält, wie oben erwähnt wurde.

Wort-Modus-Übertragungen werden aktiviert, wenn Adreßbit A20 niedrig ist, und Pixel-Modus-Übertragungen werden aktiviert, wenn Adreßbit A20 hoch ist. Im folgenden wird die Wort-Modus-Leseoperation beschrieben. Bei einer Wort-Modus-Leseoperation erhalten alle 128 DRAM-Chips des Rahmenpuffers 10 RAS- und CAS-Signale. Bei dem hier beschriebenen Ausführungsbeispiel hat der Rahmenpufferbus 46 eine Breite von 128 Datenbits, während der VME-Bus 45, wie oben erwähnt wurde, nur 16 Datenbits breit ist. Daher werden nur zwei Sender/Empfänger der 16 Wort-Modus-Daten-Sender/Empfänger (XVII-XXXII) des Wort-Modus-Datenmultiplexers 85 gleichzeitig durch eines der 8 vom Speichersteuergerät 105 ausgegebenen SDR-Signale aktiviert. Eines aus den 8 SDR-Signalen wird, wie erwähnt, durch einen voreingestellten Wert von Adreßbits A17, A18 und A19 bestimmt, die von der CPU 50 auf den VME-Bus 45 ausgegeben und zum Speichersteuergerät 105 übertragen werden. Die beiden Sender/Empfänger, die von einem SDR-Signal aktiviert werden, multiplexen die 128 Bit-Rahmenpuffer-Lesedaten von einer 128-Bit-Breite auf dem Rahmenpufferbus 46 auf eine 16-Bit-Breite auf dem VME-Bus 45. Hierzu wird auf Fig. 6c Bezug genommen. Wenn ein Lesesteuersignal auf der R/W-Leitung 125 übertragen und am Wort-Modus-Sender/Empfänger I und am Wort-Modus-Sender/Empfänger II gleichzeitig mit einem auf der Sendeempfangsleitung 134 übertragenen Wahl-DRAM-Zeilensignal (SDR) empfangen wird, werden Datenbits D15-D08 von den ersten 8 DRAM-Chips der DRAM-Zeile 1 (von links nach rechts laufend) übertragen, während Datenbits D07 bis D0 zu den nächsten 8 DRAM-Chips in DRAM-Zeile 1 übertragen werden. Auf diese Weise werden zwei 8-Bit-Wortwerte in einer Leseoperation übertragen. Die restlichen Wort-Modus-Sender/Empfänger XVII-XXXII arbeiten in dergleichen Weise, wenn entsprechende Sende/Empfangsleitungen (135 — 141) entsprechende SDR-Signale (ausgegeben durch das Speichersteuergerät 105, wie zuvor beschrieben) empfangen, wodurch jeweils Wort-Modus-Sender/Empfänger XVII-XXXII aktiviert werden.

Im folgenden werden Wort-Modus-Schreiboperationen beschrieben. Bei einer Wort-Modus-Schreiboperation wird ein Schreibsignal auf der Lese/Schreib-Leitung 125 entwickelt, und alle Wort-Modus-Daten-Sender/Empfänger XVII-XXXII (des Wort-Modus-Datenmultiplexers 90) in Fig. 6c werden durch Anlegen aller 8 SDR-Signale (ausgegeben vom Speichersteuergerät 105 und bestimmt durch einen voreingestellten Wert der Adreßbits A17, A18 und A19) über die Sende/Empfangs-Leitungen 134—141 der Sender-/Empfänger XVII-XXXII zum Rahmenpuffer 10 aktiviert. Auf diese Weise werden die 16 Datenbits, die von der CPU 50 auf die VME-Bus 45 — Datenleitungen D15 — D00 gegeben werden, danach von diesen Sender/Empfängern dupliziert und zu jeder DRAM-Zeile im Rahmenpuffer 10 übertragen. Wie erwähnt, erhalten bei einer Schreiboperation alle DRAM-Chips auch ein RAS. Angenähert gleichzeitig mit diesen Signalen sendet die CPU 50 Adreßbits A19, A18 und A17, die auch das Speichersteuergerät 105 aktivieren, um einen der 8 Schreib-Freigabe-Strobes (WE) an eine ausgewählte der 8 DRAM-Chip-Zeilen in Fig. 6a auszugeben, so daß nur diese Zeile von DRAM-Chips beschrieben wird. CPU 50 gibt auch zwei Datenstrobes (einen niedrigeren Datenstrobe LDS und eine höheren Datenstrobe UDS) an das Speichersteuergerät 105, die gemeinsam den Wert eines nicht-existierenden Adreßbits (AO) kodieren und 8-Bit- oder 16-Bit-Speicherzyklusübertragungen auswählen. Wenn daher UDS am Speichersteuergerät 105 anliegt, werden erste 8 Datenbits von den VME-Datenleitungen D15, D08 zu den DRAM-Chips des Rahmenpuffers 10 übertragen, und wenn der niedrigere Datenstrobe (LDS) ansteht, werden zweite 8 Datenbits von VME-Datenleitungen D07 — D00 zu den DRAM-Chips des

Im folgenden werden Wort-Modus-Schreiboperationen beschrieben. Bei einer Wort-Modus-Schreiboperation wird ein Schreibsignal auf der Lese/Schreib-Leitung 125 entwickelt, und alle Wort-Modus-Daten-Sender/Empfänger XVII-XXXII (des Wort-Modus-Datenmultiplexers 90) in Fig. 6c werden durch Anlegen aller 8 SDR-Signale (ausgegeben vom Speichersteuergerät 105 und bestimmt durch einen voreingestellten Wert der Adreßbits A17, A18 und A19) über die Sende/Empfangs-Leitungen 134—141 der Sender-/Empfänger XVII-XXXII zum Rahmenpuffer 10 aktiviert. Auf diese Weise werden die 16 Datenbits, die von der CPU 50 auf die VME-Bus 45 — Datenleitungen D15 — D00 gegeben werden, danach von diesen Sender/Empfängern dupliziert und zu jeder DRAM-Zeile im Rahmenpuffer 10 übertragen. Wie erwähnt, erhalten bei einer Schreiboperation alle DRAM-Chips auch ein RAS. Angenähert gleichzeitig mit diesen Signalen sendet die CPU 50 Adreßbits A19, A18 und A17, die auch das Speichersteuergerät 105 aktivieren, um einen der 8 Schreib-Freigabe-Strobes (WE) an eine ausgewählte der 8 DRAM-Chip-Zeilen in Fig. 6a auszugeben, so daß nur diese Zeile von DRAM-Chips beschrieben wird. CPU 50 gibt auch zwei Datenstrobes (einen niedrigeren Datenstrobe LDS und eine höheren Datenstrobe UDS) an das Speichersteuergerät 105, die gemeinsam den Wert eines nicht-existierenden Adreßbits (AO) kodieren und 8-Bit- oder 16-Bit-Speicherzyklusübertragungen auswählen. Wenn daher UDS am Speichersteuergerät 105 anliegt, werden erste 8 Datenbits von den VME-Datenleitungen D15, D08 zu den DRAM-Chips des Rahmenpuffers 10 übertragen, und wenn der niedrigere Datenstrobe (LDS) ansteht, werden zweite 8 Datenbits von VME-Datenleitungen D07 — D00 zu den DRAM-Chips des

Rahmenpuffers 10 übertragen. Bei dem beschriebenen Beispiel ist das Datenbit D15 das am höchsten bewertete Bit, und Datenbit D00 ist das am niedrigsten bewertete Bit. Wenn UDS am Speichersteuergerät 105 ansteht, werden die ersten 8 der 16 CAS-Signale zu den DRAM-Spalten 0 bis 7 (von links nach rechts zählend) übertragen, und wenn LDS am Speichersteuergerät 105 ansteht, werden zweite 8 der 16 CAS-Signale zu DRAM-Spalten 8 bis 15 (von links nach rechts zählend) übertragen; jedoch werden nur die DRAM-Chips, welche sowohl einen CAS-Strobe als auch einen WE-Strobe erhalten, eingeschrieben.

Im folgenden wird eine Pixel-Modus-Leseoperation beschrieben. Bei einer Pixel-Modus-Leseoperation erhalten ähnlich der Leseoperation im Wort-Modus alle DRAM-Chips in Fig. 6b RAS- und CAS-Signale. Das Speichersteuergerät 105 erzeugt auch eines der 8 Wahl-DRAM-Spalten(SDC)-Signale, die zwei der 16-Pixel-Modus-Datenmultiplexer 85 — Sender/Empfänger (I-XVI) in Fig. 6b aktivieren, wodurch 16 Datenbits gleichzeitig im Verhältnis 8 : 1 gemultiplext und vom 128-Bit-Rahmenpufferspeicherbus 46 auf den VME-Bus 45 über die VME-Bus-Datenleitungen D15 — D00 übertragen werden.

Wenn beispielsweise ein Lesesignal auf der Lese/Schreib-Steuerleitung 125 gleichzeitig mit einem der 8 Wahl-DRAM-Spalten(SDC)-Signale (bestimmt durch einen voreingestellten Wert von Adreßbits A1, A2, A3 am Speichersteuergerät 105) auf der Sendeempfangsleitung 126 empfangen wird, so überträgt der Pixel-Modus-Sender/Empfänger I in Fig. 6b Datenbits D15 bis D08 von den DRAM-Chips der DRAM-Spalte 0, während der Pixel-Modus-Sender/Empfänger II Datenbits D07 bis D00 von den DRAM-Chips der DRAM-Chipspalte 1 überträgt. Datenbits D15 bis D08 stellen ein 8-Bit-Pixelbyte dar, während D07 bis D00 in ähnlicher Weise ein anderes 8-Bit-Pixelbyte darstellen. Auf diese Weise können zwei 8-Bit-Pixelbytes in einer Operation übertragen werden.

Die restlichen Pixel-Modus-Sender/Empfänger (III-XVI) werden auf die gleiche Weise aktiviert, wenn entsprechende Sendeempfangsleitungen (127—133) entsprechende SDC-Signale (ausgegeben durch das Speichersteuergerät 105) erhalten, wodurch die Pixel-Modus-Sender/Empfänger III-XVI jeweils aktiviert bzw. freigegeben werden.

Im folgenden wird eine Pixel-Modus-Schreiboperation beschrieben. Bei einer Pixel-Modus-Schreiboperation werden alle Pixel-Modus-Daten-Sender/Empfänger I-XVI des Pixel-Modus-Multiplexers 85 durch die aus dem Speichersteuergerät 105 ausgegebenen 8 SDC-Signale aktiviert. Datenbits D15 — D08, die von der CPU 50 auf den VME-Bus 45 gegeben werden, werden über Pixel-Modus-Sender/Empfänger I-XVI zu den geraden DRAM-Chipspalten (Zählung von links nach rechts) 0, 2, 4, 6, 8, 10, 12, 14 des Rahmenpuffers 10 gesendet. Die Datenbits D07 — D00, die von der CPU 50 auf den VME-Bus 45 gegeben werden, werden in ähnlicher Weise zu den ungeraden DRAM-Chipspalten (Zählung von links nach rechts) 1, 3, 5, 7, 9, 11, 13, 15 des Datenpuffers 10 übertragen. Wie bei den Wort-Modus-Schreibzyklen erhalten alle DRAM-Chips ein RAS. Ungleich den Wort-Modus-Schreibzyklen werden jedoch alle 8 Schreib-Freigabe-Strobes (WE) vom Speichersteuergerät 105 zu allen DRAM-Chips des Rahmenpuffers 10 übertragen, während nur einer oder zwei der 16 Spalten-Adreß-Strobes (CAS) übertragen werden. Die SDR-Signale, die vom Speichersteuergerät 105

selektiv ausgegeben werden, werden von dem Werten der Adreßbits A1, A2 und A3 bestimmt. Adreßbits A03, A02, A01 und Datenstrobes LDS und UDS werden von der CPU 50 auf den VME-Bus 45 gegeben und von dem Speichersteuergerät 105 empfangen, das, wie erwähnt, die Übertragung eines oder zweier gewünschter CAS-Signale zum Rahmenpuffer 10 während eines Schreibzyklus aktiviert oder freigibt. Zwei der 16 CAS-Signale werden vom Speichersteuergerät 105 zum Rahmenpuffer 10 übertragen, wenn sowohl UDS als auch LDS gemeinsam am Speichergerät 105 anstehen, und nur ein CAS-Signal wird übertragen, wenn entweder UDS oder LDS an demselben ansteht. Wie bei Wort-Modus-Schreiboperationen werden nur die DRAM-Chipspalten eingeschrieben, die ein CAS und ein WE erhalten. Außerdem muß entweder UDS oder LDS am Speichersteuergerät 105 anstehen, bevor eine Speicherzyklusoperation beginnt.

In Verbindung mit Pixel-Modus-Schreib- oder Leseoperationen werden Adreßbits A19 — A4, die von der CPU 50 auf den VME-Bus 45 gegeben werden, am Pixelmodus-Adreßmultiplexer (oder Treiber) 75 empfangen. Wenn Adreßbit A20 einen hohen logischen Wert hat, überträgt der Pixel-Modus-Adreßmultiplexer 75 die Adresse (bestimmt durch den logischen Wert der Adreßbits A19 — A4) zum Rahmenpuffer 10 und wählt in Verbindung mit einem oder zwei der 16 CAS, ausgegeben vom Speichersteuergerät 105, einen Z-ausgerichteten Pixel-Byte-Platz innerhalb des Rahmenpuffers 10, der seinerseits einem Pixel auf dem Farbmonitor 15 entspricht. Die in diesem Speicherplatz gespeicherten Daten enthalten einen Farbwert für ein entsprechendes Pixel auf dem Farbmonitor 15.

In ähnlicher Weise werden in Verbindung mit der Wort-Modus-Lese- oder Schreib-Operation Adreßbits A16 — A1 am Wort-Modus-Adreßmultiplexer 80 empfangen, der dann, wenn Adreßbit A20 auf einem niedrigen Logikwert ist, eine Adresse zum Rahmenpuffer 10 überträgt, die in Verbindung mit einer Eins der 8 WE-Strobes, ausgegeben vom Speichersteuergerät 105, einen X-ausgerichteten Wortwert-Platz innerhalb des Rahmenpuffers 10 auswählt, der seinerseits Vordergrund/Hintergrund an einigen entsprechenden Pixeln auf dem Farbmonitor 15 bestimmt.

Der Ausgang des Rahmenpuffers 10 ist mit einer Farbbildungseinrichtung 95 gekoppelt, die eine Farbe bestimmt, welche einem vom Rahmenpuffer 10 ausgegebenen Pixelbyte entspricht und rot, grün und blau Digital/Analog-Farbtreiber/Umsetzer 120 zur Definition einer besonderen Farbe an einem gewünschten Pixel im Monitor 15 ansteuert. Auch ein optioneller Rahmenpufferspeicher 99 kann in das System entsprechend Darstellung in Fig. 5 integriert sein. Der optionelle Rahmenpufferspeicher 99 ist in dergleichen Weise wie der Rahmenpuffer 10 organisiert (adressiert). Auch ein Kippschalter kann verwendet werden, damit der optionelle Rahmenpuffer 99 eingeschrieben werden kann, während der Rahmenpuffer 10 gelesen wird, oder umgekehrt. Ein "Raster-OP" oder "Bit-Blt" Prozessor 140 kann zwischen den Ausgängen des Wort-Modus-Datenmultiplexers 90, des Pixel-Modus-Datenmultiplexers 85 und dem Rahmenpufferspeicher 10 in der in Fig. 5 dargestellten Weise angeordnet sein. Ein "Raster-OP" oder "Bit-Blt" ist auf dem Gebiet der Computergraphik bekannt und wird derzeit von VLSI Technology, San Jose, Kalifornien als "VL16160" vertrieben. Raster-OP-Prozessoren sind auch vollständig in "Principles of Interactive Computer Graphics" von Newman & Sproull, Copy-

right 1979, 1973, Herausgeber: McGraw-Hill, Inc. beschrieben. Der Raster-OP 140 führt Boolesche Operationen, wie "OR"/"XOR"-Operationen an den Inhalten des Rahmenpuffers 10 oder des optionellen Rahmenpuffers 99 zwischen den alten und neuen Daten durch und kann dadurch einige Schreib- oder Leseoperationen an dem Rahmenpuffer 10 oder optionellen Rahmenpuffer 99 in Abhängigkeit von einem durch die CPU 50 ausgelösten Befehlszyklus auslösen. Der Raster-OP-Prozessor 140 arbeitet mit 128 Bits breiten Daten und kann zum Senden von Pixeldaten an 16 benachbarte Pixelbyteplätze des Rahmenpuffers oder zum Senden von 16 X-ausgerichteten Bytes an alle Wortebenen der Wortebenen gemäß Fig. 2, die im Rahmenpuffer 10 gespeichert sind, verwendet werden. Beim Einschreiben von Pixelbytes in den Rahmenpuffer 10 kann eine pro-Ebene-Schreibmaske 70 zum Maskieren von bis zu 8 Bits eines Pixelbytes verwendet werden, die nicht geschrieben werden sollen. Wenn beispielsweise nur 4 Pixelbytes an einen Pixelplatz im Rahmenpuffer 10 geschrieben werden sollen, so maskiert die pro-Ebene-Schreibmaske 70 vier der Pixelbits am Rahmenpuffer 10, wodurch ihr Einschreiben verhindert wird.

Zu Erläuterungszwecken wurde in dieser Beschreibung die Architektur in Form einiger getrennter Komponenten beschrieben, die mit einer Haupt-CPU 50 gekoppelt sind. Es ist jedoch klar, daß die Erfindung auch als ein einziges monolithisches integriertes Chip realisiert werden kann, das direkt mit einer Haupt-CPU gekoppelt werden kann. Auch die Breite des VME-Bus 45 von 16 Datenbits ist nur eine mögliche Implementierung; andere Implementierungen mit weiteren Datenbussen, dichterem DRAM-Chips, höheren Bildschirmauflösungen und anderen Bemessungen des beschriebenen Ausführungsbeispiels sind möglich.

Patentansprüche

1. Verfahren zum Organisieren eines Speichers für die Verwendung in einem Computer-Displaysystem, das ein Display mit einer Vielzahl von Displaypixels zur Definition von Bildern aufweist, **dadurch gekennzeichnet**, daß ein Rahmenpufferspeicher (10) mit einer Vielzahl von selektiv adressierbaren Speicherzellen so als dreidimensionale Matrix organisiert wird, daß die Speicherzellen von einer in einer ersten Ebene der Matrix orientierten ersten Bitorganisation und von einer in einer zweiten Ebene der Matrix orientierten zweiten Bitorganisation gruppiert werden können, wobei jede Speicherzelle zum Speichern eines ausgewählten Charakteristiken definierenden Datenbits geeignet ist und die ersten und zweiten Bitorganisationen unter den ausgewählten Charakteristiken erste bzw. zweite Charakteristiken definieren, die Inhalte der Speicherzellen mit den Pixeln in Beziehung gebracht werden, mit einem mit dem Rahmenpufferspeicher (10) gekoppelten Lesemittel in einer Speicherzyklusoperation selektiv eine Anzahl von Bits aus Speicherzellen gelesen wird, die von einer der Bitorganisationen gruppiert werden können, mit einem mit dem Rahmenpufferspeicher (10) gekoppelten Schreibmittel in einer Speicherzyklusoperation selektiv eine Anzahl von Bits in Speicherzellen geschrieben wird, die von einer der Bitorganisationen gruppiert werden können, wobei eine ausgewählte Charakteristik definiert wird,

und mit einem mit dem Lesemittel, dem Schreibmittel und dem Rahmenpufferspeicher (10) gekoppelten Steuerlogikmittel (75, 80, 105) Steuersignale zum Auswählen einer der Bitorganisationen erzeugt werden, um die auf dem Display wiederzugebenden Bilder zu definieren.

2. Einrichtung zur Durchführung des Verfahrens nach Anspruch 1, gekennzeichnet durch:

einen Rahmenpufferspeicher (10), der eine Vielzahl von als dreidimensionale Matrix organisierten, selektiv adressierbaren Speicherzellen aufweist, wobei jede Speicherzelle zum Speichern eines ausgewählten Charakteristiken eines entsprechenden Displaypixels definierenden Datenbits geeignet ist, und wobei die Speicherzellen von einer in einer ersten Ebene der Matrix orientierten ersten Bitorganisation und von einer in einer zweiten Ebene der Matrix orientierten zweiten Bitorganisation gruppiert werden können und die ersten und zweiten Bitorganisationen unter den ausgewählten Charakteristiken erste bzw. zweite Charakteristiken definieren,

mit dem Rahmenpufferspeicher (10) gekoppelte Lesemittel, die in einer Speicherzyklusoperation selektiv eine Anzahl von Bits aus von einer der Bitorganisationen gruppierten Speicherzellen lesen,

mit dem Rahmenpufferspeicher (10) gekoppelte Schreibmittel, die in einer Speicherzyklusoperation selektiv eine Anzahl von Bits in von einer der Bitorganisationen gruppierte Speicherzellen schreiben und die eine der ersten oder zweiten Charakteristiken definieren, und

mit den Lesemitteln und den Schreibmitteln gekoppelte Steuerlogikmittel (75, 80, 105), die Steuersignale zum steuerbaren Auswählen der ersten oder der zweiten Bitorganisation erzeugen, wobei Bildaten in einer einzigen Speichermatrix zum selektiven Speichern und Herausholen in bzw. aus der ersten oder der zweiten Bitorganisation geeignet organisiert werden können, um die ausgewählten Charakteristiken der Pixel zur Verfügung zu stellen.

3. Einrichtung nach Anspruch 2, dadurch gekennzeichnet, daß der als dreidimensionale Matrix organisierte Rahmenpufferspeicher (10) aufweist:

eine Anzahl von X-Y-Ebenen, die jeweils eine Vielzahl von Speicherzellen enthalten, wobei die Speicherzellen jeweils genau einem Displaypixel zugeordnet sind, wobei eine erste Displaypixel-Charakteristiken definierende erste Anzahl von Dateneinheiten entlang einer X-Achse der X-Y-Ebenen ausgerichtet ist und

wobei die X-Y-Ebenen entlang einer Z-Achse derart ausgerichtet sind, daß eine zweite Displaypixel-Charakteristiken definierende zweite Anzahl von Dateneinheiten entlang der Z-Achse ausgerichtet ist.

4. Einrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die Anzahl der X-Y-Ebenen so hintereinander angeordnet ist, daß ein erstes Datenbit auf einer Ebene derart zu einem zweiten Datenbit auf einer Nachbarebene gehört, daß entlang der Z-Achse ausgerichtete zugehörige Bits eine Dateneinheit von der zweiten Anzahl von Dateneinheiten enthalten.

5. Einrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Anzahl von Dateneinheiten

und die zweite Anzahl von Dateneinheiten innerhalb derselben Speicherzellen des Rahmenpufferspeichers (10) gespeichert sind.

6. Einrichtung nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß die Steuerlogikmittel 5 enthalten:

einen mit dem Rahmenpufferspeicher (10) gekoppelten ersten Adreßtreiber (80) zur Ausgabe einer ersten Anzahl von Adreßsignalen an den Rahmenpufferspeicher (10) derart, daß der erste Adreßtreiber (80) eine separate Adresse für jede Dateneinheit der ersten Anzahl von Dateneinheiten ausgibt, durch die innerhalb eines ersten vorgegebenen Segmentes des Rahmenpufferspeichers (10) für jede Dateneinheit der ersten Anzahl von Dateneinheiten ein Speicherplatz bestimmt ist, und 15 eine Steuerlogik (105), die in Verbindung mit der von dem ersten Adreßtreiber (80) ausgegebenen ersten Anzahl von Adreßsignalen eine erste Anzahl von Rahmenpuffer-Aktivierungssignalen (RAS, CAS, WE) an den Rahmenpufferspeicher (10) zur Aktivierung des ersten vorher bestimmten Segmentes des Rahmenpufferspeichers ausgibt, wodurch die erste Anzahl von Digitalwerten derart organisierbar ist, daß eine erste Abbildung innerhalb des Rahmenpufferspeichers definiert ist. 25

7. Einrichtung nach Anspruch 6, dadurch gekennzeichnet, daß die Steuerlogikmittel ferner enthalten:

einen mit dem Rahmenpufferspeicher (10) gekoppelten zweiten Adreßtreiber (75) zur Ausgabe einer zweiten Anzahl von Adreßsignalen an den Rahmenpufferspeicher (10) derart, daß der zweite Adreßtreiber (75) für jede Dateneinheit der zweiten Anzahl von Dateneinheiten eine separate Adresse ausgibt, durch die ein Speicherplatz innerhalb eines zweiten vorgegebenen Segmentes des Rahmenpufferspeichers (10) für jede Dateneinheit der zweiten Anzahl von Dateneinheiten bestimmt ist, wobei die Steuerlogik (105) in Verbindung mit der von dem zweiten Adreßtreiber (75) ausgegebenen zweiten Anzahl von Adreßsignalen eine zweite Anzahl von Rahmenpuffer-Aktivierungssignalen an den Rahmenpufferspeicher (10) zur Aktivierung des zweiten vorher bestimmten Segmentes des Rahmenpufferspeichers ausgibt. 45

8. Einrichtung nach Anspruch 6 oder 7, gekennzeichnet durch ein mit dem Rahmenpufferspeicher (10) gekoppeltes erstes Speicherlogikmittel zur Aufnahme der ersten Adreßsignale und der ersten Anzahl von Rahmenpuffer-Aktivierungssignalen und zur Selektion der ersten Anzahl von Dateneinheiten in Abhängigkeit davon, 50

wobei die Lesemittel und die Schreibmittel einen mit dem Rahmenpufferspeicher (10) gekoppelten ersten Datentreiber (90) zum Abtasten und Ausgeben einer gewünschten Dateneinheit von der ersten Anzahl von Dateneinheiten aufweisen. 55

9. Einrichtung nach Anspruch 8, gekennzeichnet durch ein mit dem Rahmenpuffer gekoppeltes zweites Speicherlogikmittel zur Aufnahme der zweiten Adreßsignale und der zweiten Anzahl von Rahmenpuffer-Aktivierungssignalen und zum Herausgeben der zweiten Anzahl von Dateneinheiten in Abhängigkeit davon, 60

wobei die Lesemittel und die Schreibmittel einen mit dem Rahmenpufferspeicher (10) gekoppelten zweiten Datentreiber (85) zum Abtasten und Aus- 65

geben einer gewünschten Dateneinheit von der zweiten Anzahl von Dateneinheiten aufweisen.

10. Einrichtung nach einem der Ansprüche 3 bis 9, dadurch gekennzeichnet, daß jedes Datenbit Hintergrund/Vordergrund eines zugehörigen Pixels bestimmt.

11. Einrichtung nach einem der Ansprüche 3 bis 10, dadurch gekennzeichnet, daß die zweite Anzahl von Dateneinheiten eine Farbe an einem zugehörigen Pixel bestimmt.

12. Einrichtung nach einem der Ansprüche 3 bis 11, dadurch gekennzeichnet, daß ein Raster-Logik-Prozessor (140) zum Lesen und Schreiben einer Anzahl von Dateneinheiten in abwechselnden Speicherzyklusoperationen zwischen den Lese- und Schreibmitteln angeordnet ist.

13. Einrichtung nach einem der Ansprüche 3 bis 12, dadurch gekennzeichnet, daß eine Pro-Ebene-Schreibmaske (70) mit dem Rahmenpufferspeicher (10) gekoppelt ist, die eine gewünschte Anzahl von Bits von einer Dateneinheit von der zweiten Anzahl von Dateneinheiten maskiert, wenn die zweite Anzahl von Dateneinheiten in den Rahmenpufferspeicher (10) geschrieben wird.

14. Einrichtung nach einem der Ansprüche 8 bis 13, dadurch gekennzeichnet, daß der erste Datentreiber (90) erste Anzahl von Dateneinheiten multiplext.

15. Einrichtung nach einem der Ansprüche 9 bis 14, dadurch gekennzeichnet, daß der zweite Datentreiber (85) die zweite Anzahl von Dateneinheiten multiplext.

16. Einrichtung nach einem der Ansprüche 2 bis 15, dadurch gekennzeichnet, daß ein optioneller Rahmenpuffer (99) mit den Schreibmitteln, den Lesemitteln und den Steuerlogikmitteln gekoppelt ist und in diesen geschrieben werden kann, während der Rahmenpufferspeicher (10) gelesen wird, und umgekehrt.

17. Einrichtung nach einem der Ansprüche 2 bis 16, dadurch gekennzeichnet, daß die Lesemittel, die Schreibmittel und die Steuerlogikmittel in einer monolithischen integrierten Schaltung enthalten sind.

Hierzu 8 Seite(n) Zeichnungen

WORTMODUSDATEN
MULTIPLEXER

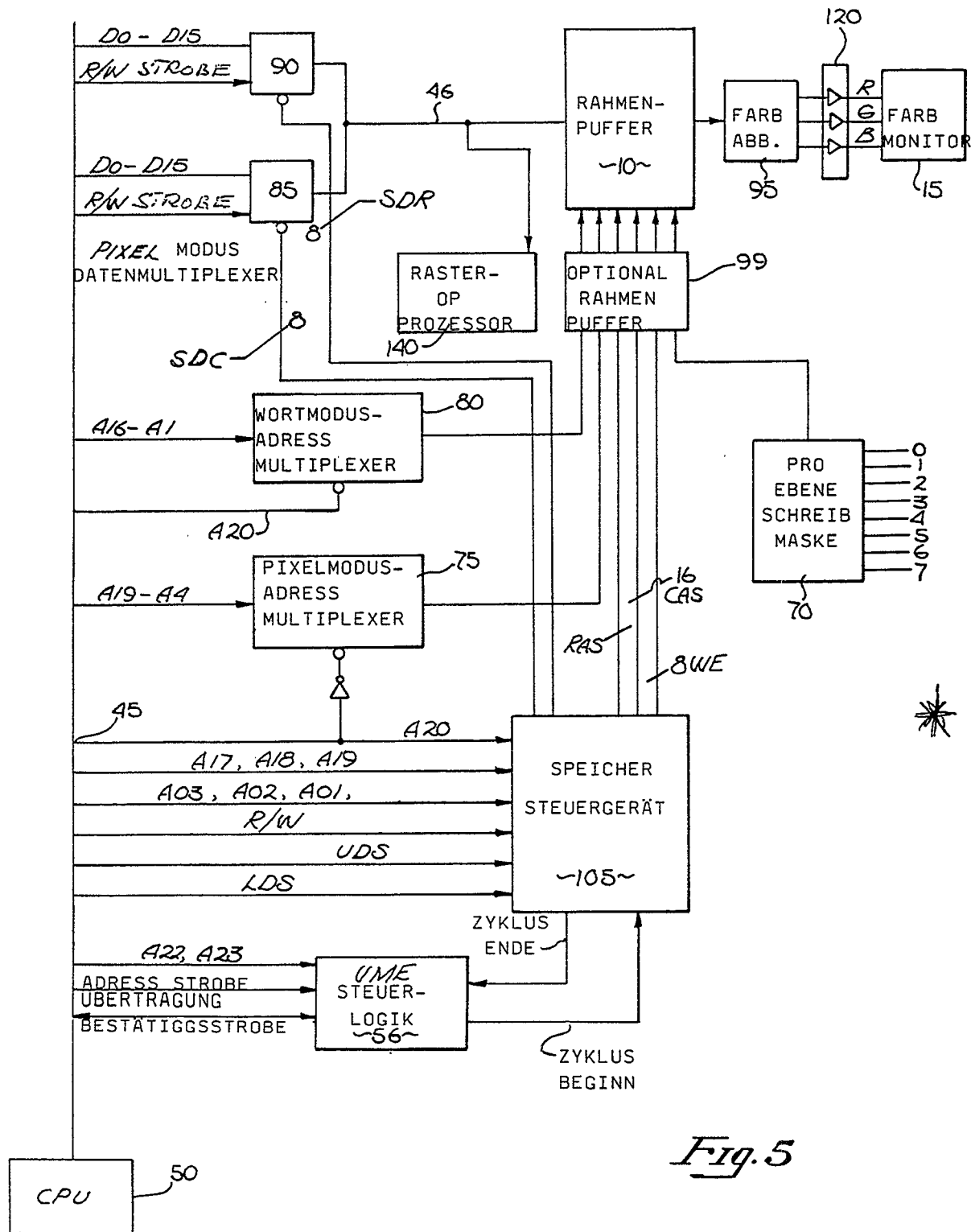


Fig. 5

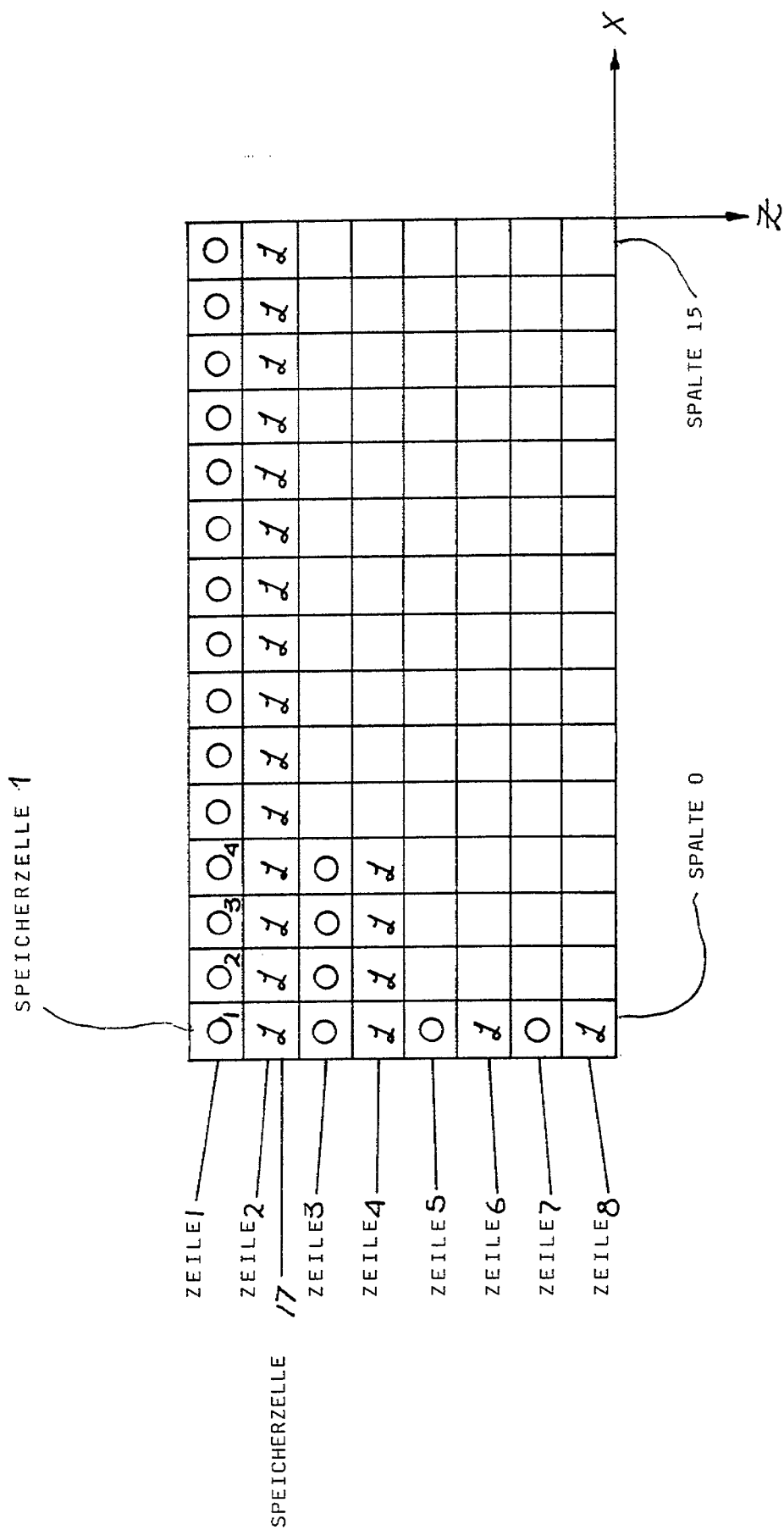


Fig. 1

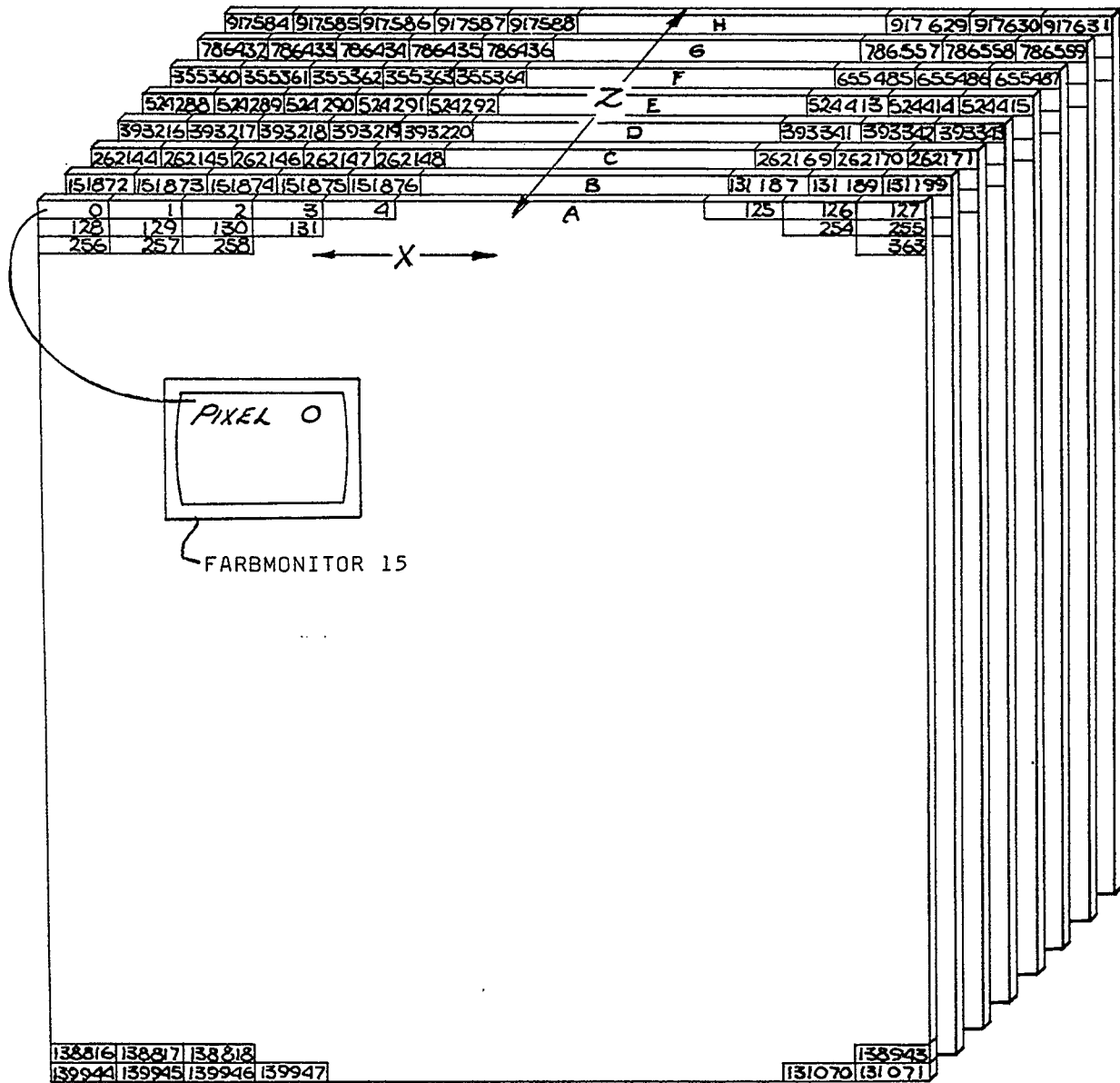


Fig. 2

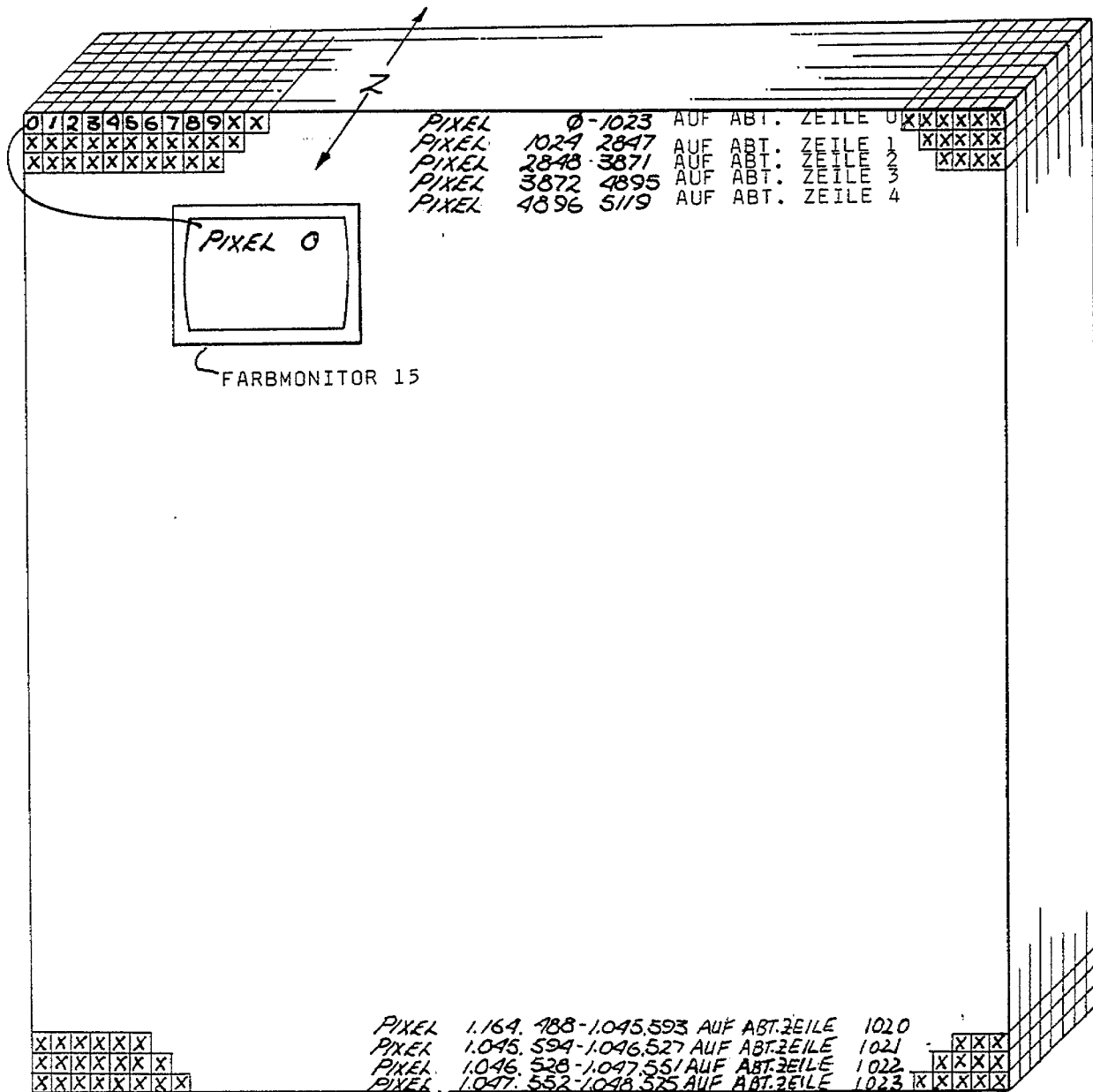


Fig. 3

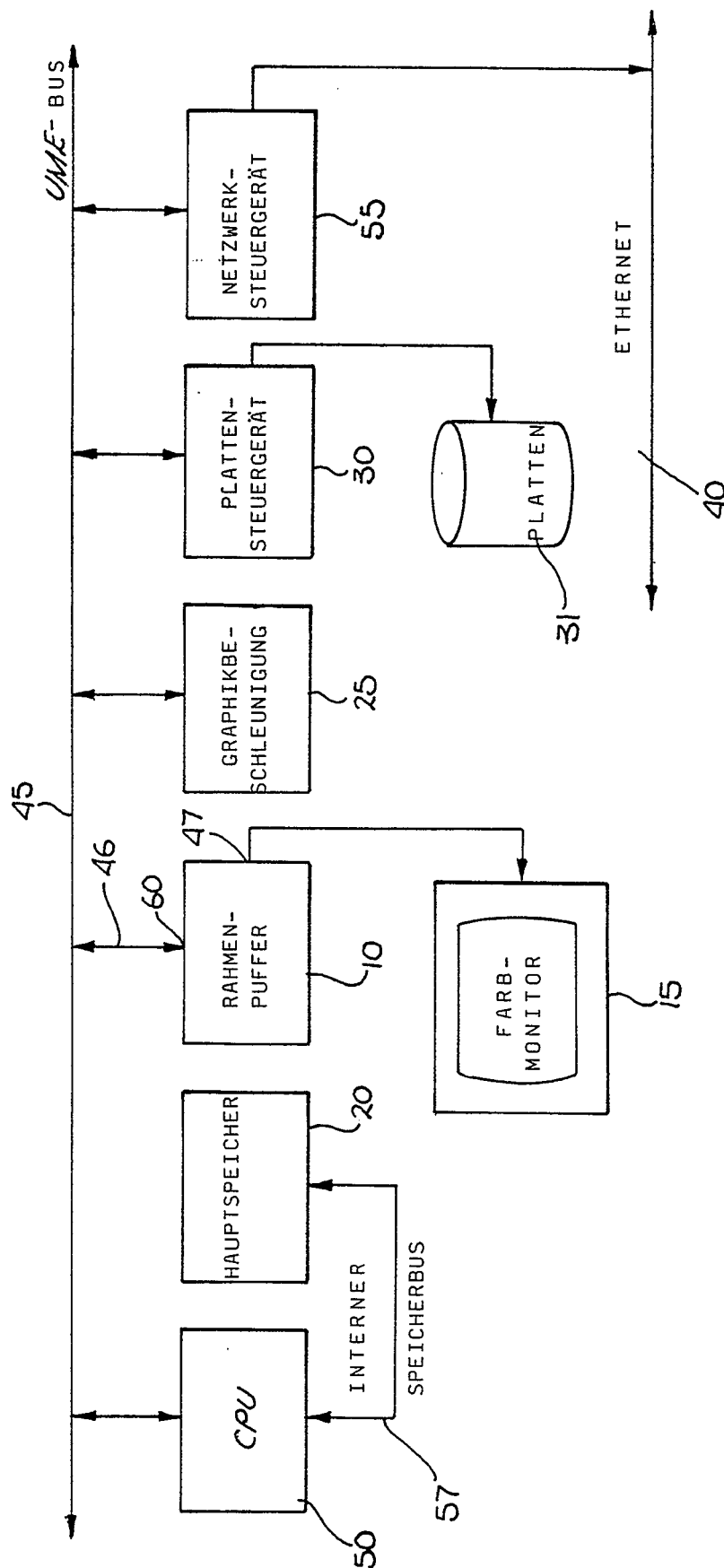
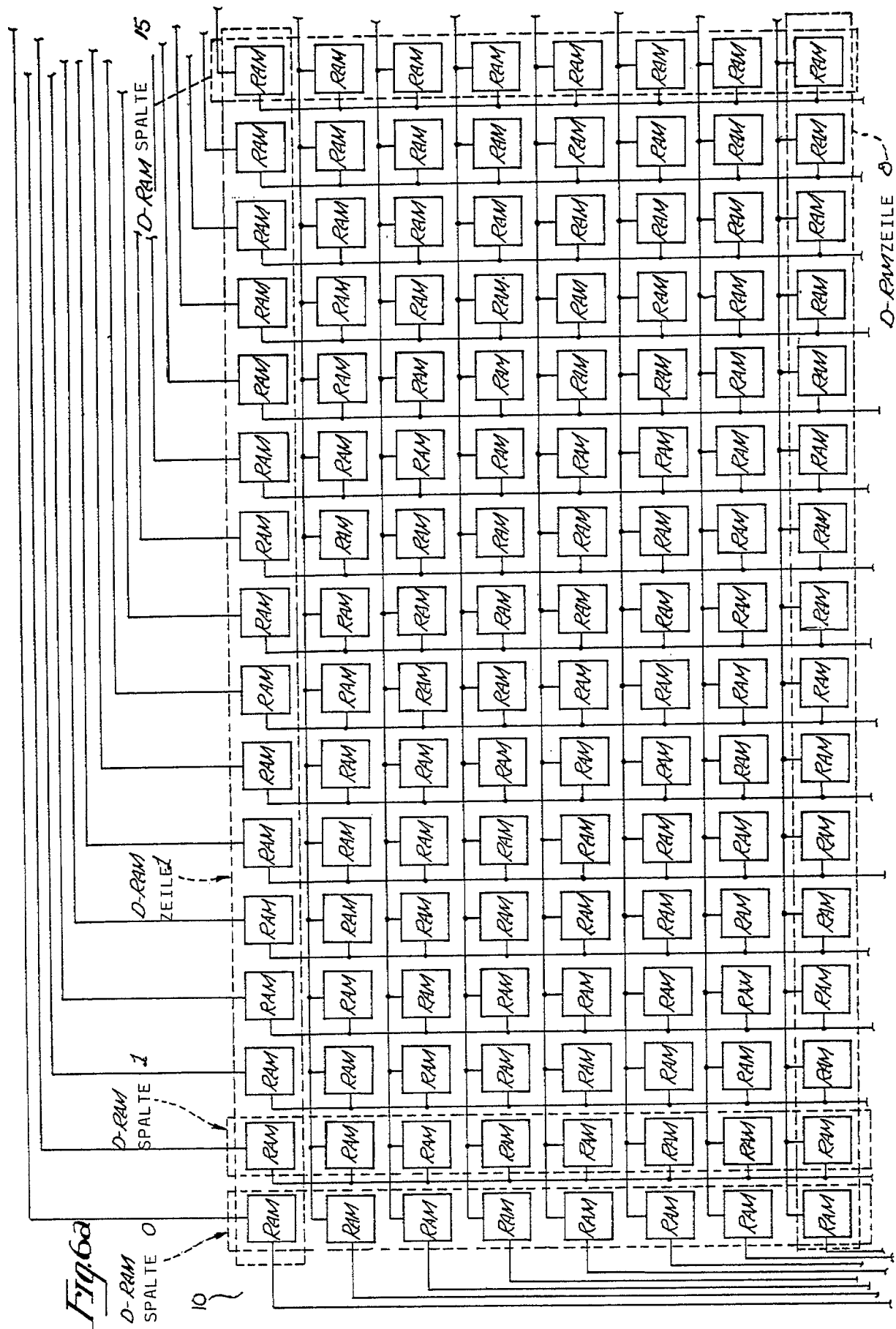


Fig. 4



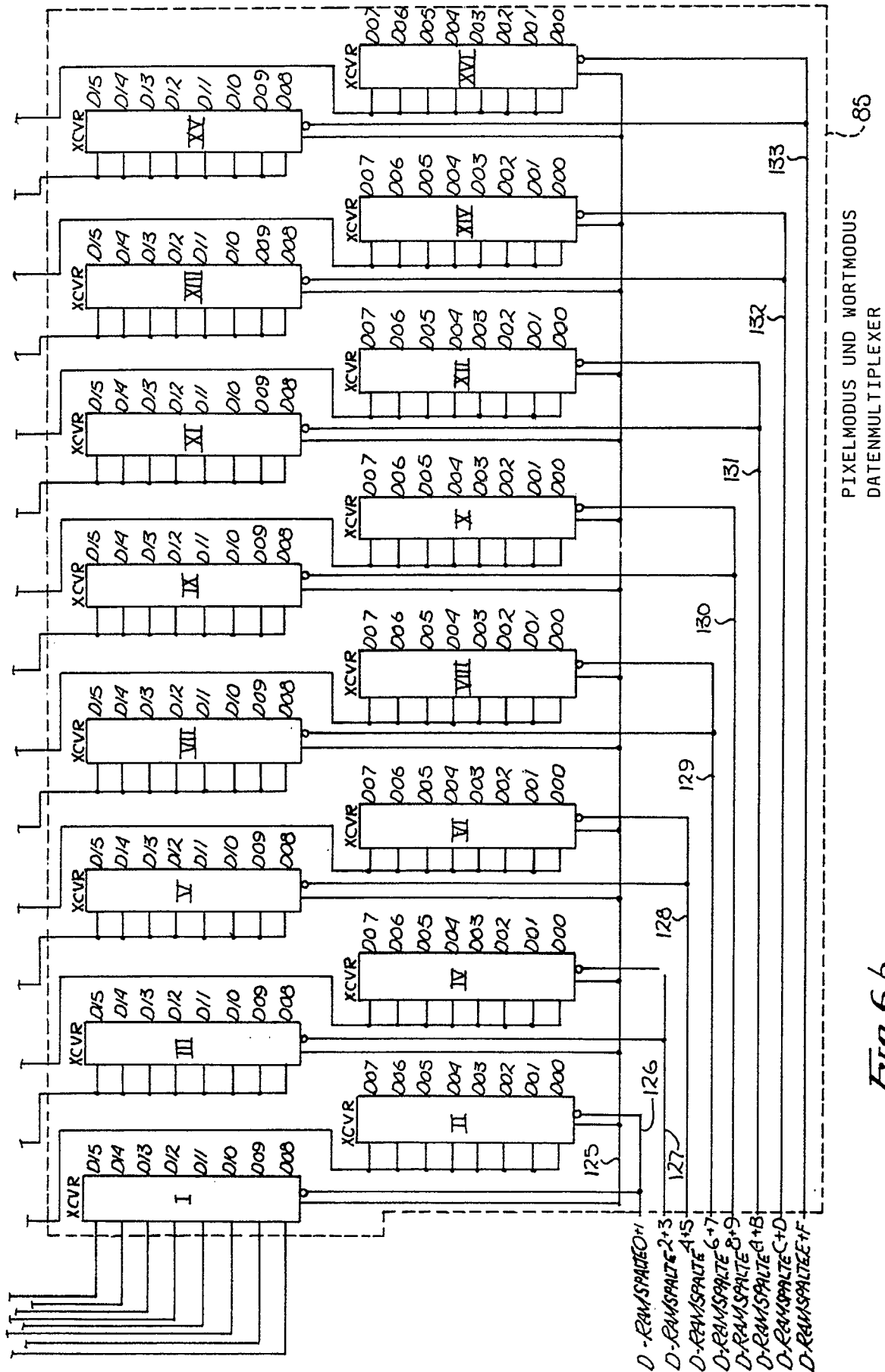


Fig. 6b

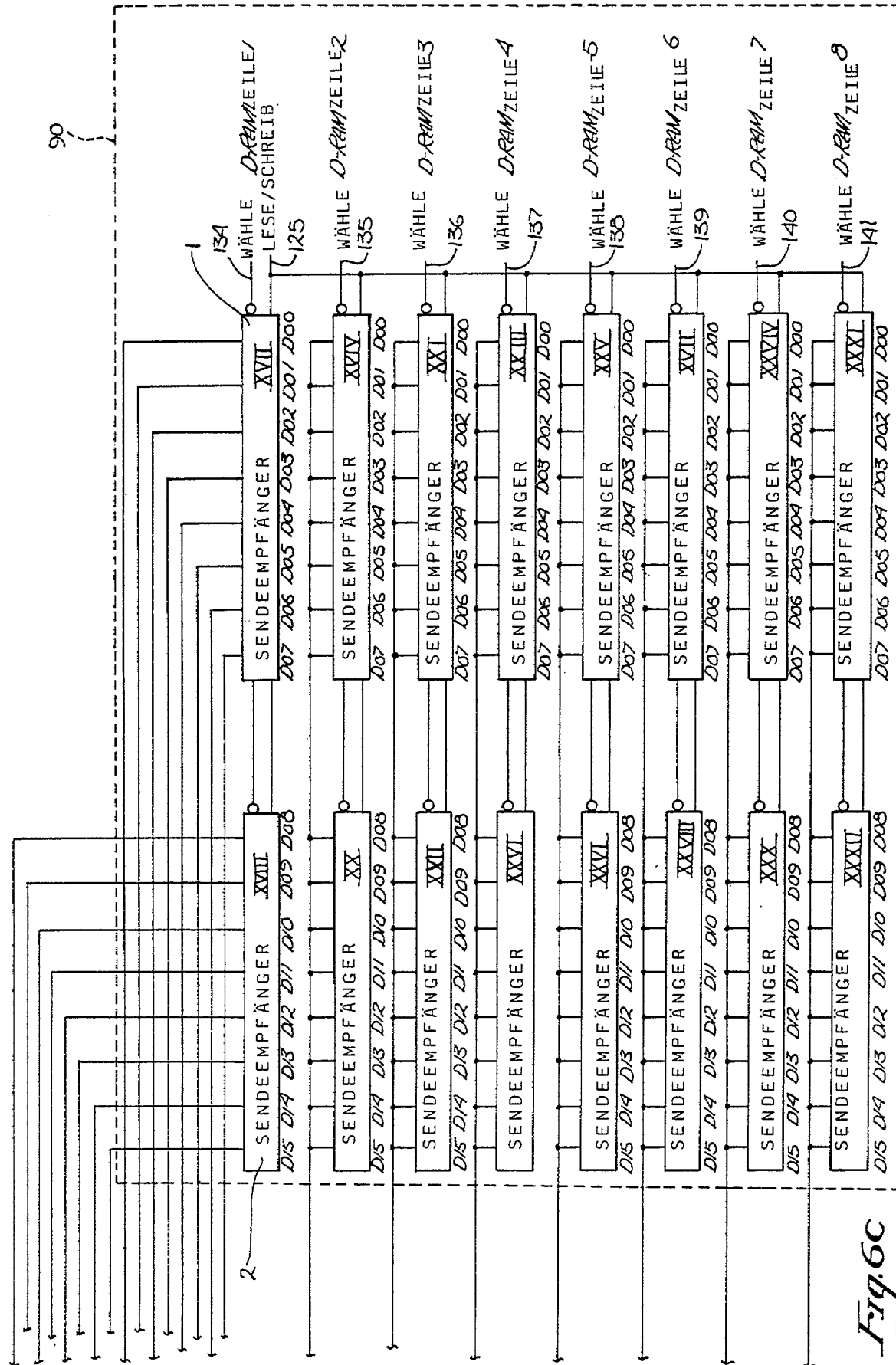


Fig. 6C